



IPC-2221B DE



Ihr Fachverband für Design,
Leiterplatten- und Elektronikfertigung e. V.

FED - Ihr Fachverband für
Design, Leiterplatten- und
Elektronikfertigung e. V.
Alte Jakobstraße 85/86
10179 Berlin
Tel (030) 834 90 59
Fax (030) 834 18 31

Basisrichtlinie für das Design von Leiterplatten

If a conflict occurs
between the English and
translated versions of this
document, the English
version will take
precedence.

Entwickelt durch die IPC-2221 Task Group (D-31b) des Printed Board
Committee (D-30) des IPC

Im Falle eines Konfliktes
zwischen der englisch-
sprachigen und einer
übersetzten Version
dieses Dokumentes hat
die englischsprachige
Version den Vorrang.

Ersetzt:

IPC-2221A - Mai 2003
IPC-2221 - Februar 1998

Die Anwender dieser Richtlinie sind aufgefordert, an der Entwicklung
künftiger Versionen mitzuarbeiten.

Kontakt:

IPC
3000 Lakeside Drive, Suite 309S
Bannockburn, Illinois
60015-1249
Tel 847 615.7100
Fax 847 615.7105

Inhaltsverzeichnis

1 ANWENDUNGSBEREICH	1	3.6.6	Mechanische Aspekte	19
1.1 Zweck	1	3.7	Beurteilung des Layouts	19
1.2 Rangfolge der Dokumente	1	3.7.1	Funktionelle Aufteilung der Leiterplatte	19
1.3 Darstellung	1	3.7.2	Ermittlung der ausführbaren Bestückungsdichte	20
1.3.1 Maßeinheiten	1			
1.4 Interpretation „muss“ [Shall],	2	4 MATERIALIEN		24
1.5 Definition der Fachbegriffe	2	4.1	Materialauswahl	24
1.5.1 Microvia	2	4.1.1	Auswahl des Materials unter Berücksichti- gung der Strukturfestigkeit	24
1.6 Produktklassifikationen	2	4.1.2	Auswahl der Materialien im Hinblick auf elektrische Eigenschaften	24
1.6.1 Leiterplattentyp	2	4.1.3	Auswahl der Materialien unter Berücksichti- gung der Umgebungsbedingungen	26
1.6.2 Leistungsklassifikation	2	4.2	Dielektrisches Basismaterial (inklusive Prepregs und Klebstoffe)	26
1.6.3 Produzierbarkeits-Stufen	3	4.2.1	Vorgetränkte Verbindungslagen (Prepregs)	26
1.7 Revisionsänderungen	3	4.2.2	Klebstoffe	26
2 ANWENDBARE DOKUMENTE	3	4.2.3	Klebefolien oder -blätter	27
2.1 IPC	3	4.2.4	Elektrisch leitende Klebstoffe	27
2.2 Gemeinsame Industriestandards (Joint Industry Standards)	5	4.2.5	Wärmeleitende/elektrisch isolierende Klebstoffe	28
2.3 Society of Automotive Engineers	5	4.3	Laminatmaterialien	28
2.4 American Society for Testing and Materials	5	4.3.1	Hochtemperatur-Lamine (High T _g)	29
2.5 Underwriters Labs	5	4.3.2	Farbzusätze	29
2.6 IEEE	5	4.3.3	Dicke des Dielektrikums/dielektrischer Abstand	29
2.7 ANSI	5	4.3.4	Thermisch leitfähige Lamine	29
2.8 ANSI/ESD	5	4.3.5	Minimale Dicke des Basismaterials bei PC- Card Formfaktoren	29
2.9 PCMCIA	5	4.4	Leitfähige Materialien	29
3 ALLGEMEINE ANFORDERUNGEN	5	4.4.1	Stromlose Kupferbeschichtungen	33
3.1 Informationshierarchie	8	4.4.2	Halbleitfähige Beschichtungen	33
3.1.1 Rangordnung	8	4.4.3	Elektrolytische Kupferbeschichtungen	33
3.1.2 Leistungsanforderungen an das Endprodukt	8	4.4.4	Goldbeschichtungen	33
3.2 Designüberlegungen	8	4.4.5	Chemisch Silber	36
3.3 Schaltplan/Logikdiagramm	9	4.4.6	Chemisch Zinn	36
3.4 Ermittlung der Bestückungsdichte	9	4.4.7	Organische Schutzpassivierung (OSP)	36
3.5 Stückliste	10	4.4.8	Nickelbeschichtungen	37
3.6 Anforderungen an die Testbarkeit	10	4.4.9	Zinn-/Blei-Beschichtungen	38
3.6.1 Elektrische Aspekte	11	4.4.10	Lotbeschichtungen	38
3.6.2 Testbarkeit von Leiterplatten-Baugruppen	13	4.4.11	Andere metallische Beschichtungen für Leiterplatten-Direktstecker	39
3.6.3 Boundary-Scan-Verfahren	14			
3.6.4 Funktionstestaspekte für Leiterplatten- Baugruppen	15			
3.6.5 Aspekte des In-Circuit-Tests für Leiterplatten-Baugruppen	17			

4.4.12	Metallische Folien/Filme	40	6.2	Anforderungen an leitende Materialien	62
4.5	Materialien elektronischer Bauteile	41	6.3	Elektrischer Isolationsabstand	63
4.5.1	Eingebettete (vergrabene) Widerstände	41	6.3.1	B1–Innenlagen-Leiterbahnen	64
4.5.2	Eingebettete (vergrabene) Kondensatoren	41	6.3.2	B2–Außenlagen-Leiterbahnen, unbeschichtet, Meereshöhe bis 3050 m [10 007 Fuß]	64
4.5.3	Eingebettete (vergrabene) Induktivitäten	42	6.3.3	B3–Außenlagen-Leiterbahnen, unbeschichtet, über 3050 m [10 007 Fuß]	64
4.6	Organische Schutzbeschichtungen	42	6.3.4	B4–Außenlagen-Leiterbahnen mit permanenter Polymer-Beschichtung (beliebige Aufstellhöhe)	64
4.6.1	Lötstoppmasken-Beschichtungen	42	6.3.5	A5–Außenlagen-Leiterbahnen mit Schutzbeschichtung über der Baugruppe (beliebige Aufstellhöhe)	65
4.6.2	Schutzbeschichtungen	43	6.3.6	A6–Außenlagen: Bauteilanschlüsse/ Anschlussstellen, unbeschichtet, Meereshöhe bis 3050 m [10 007 Fuß]	65
4.6.3	Anlaufschutz-Beschichtungen	44	6.3.7	A7–Außenlagen Bauteilanschlüsse/ Anschlussstellen, Schutzbeschichtung (beliebige Aufstellhöhe)	65
4.7	Kennzeichnungen und Beschriftungen	44	6.4	Impedanzkontrolle	65
4.7.1	Aspekte elektrostatisch empfindlicher Bauteile	45	6.4.1	Mikrostreifenleiter	65
5	MECHANISCHE/PHYSIKALISCHE EIGENSCHAFTEN	45	6.4.2	Eingebettete Mikrostreifenleiter	67
5.1	Fertigungstechnische Überlegungen	45	6.4.3	Eigenschaften der Streifenleiter	68
5.1.1	Leiterplattenfertigung	45	6.4.4	Eigenschaften asymmetrischer Streifenleiter	68
5.2	Aufbau der Leiterplatte	45	6.4.5	Kapazitätsaspekte	69
5.2.1	Leiterplattentypen	45	6.4.6	Induktivitätsaspekte	70
5.2.2	Leiterplattenmaße	45	7	WÄRMEMANAGEMENT	72
5.2.3	Leiterplattengeometrien (Maße und Formen) ...	48	7.1	Kühlverfahren	72
5.2.4	Wölbung und Verwindung	48	7.1.1	Wärmeleitung	72
5.2.5	Strukturfestigkeit	48	7.1.2	Wärmestrahlung	73
5.2.6	Verbundleiterplatten (Leiterplatten mit ausdehnungsarmem Kern)	48	7.1.3	Konvektion	73
5.2.7	Design unter Berücksichtigung von Schwingungsbelastungen	50	7.1.4	Höheneinflüsse	73
5.3	Anforderungen an die Bestückung	50	7.2	Aspekte der Wärmeableitung	74
5.3.1	Befestigung mechanischer Bauteile	50	7.2.1	Baugruppengehäuse	74
5.3.2	Bauteilbefestigung	50	7.2.2	Wärmeabfuhr einzelner Bauelemente	75
5.3.3	Bestückung und Test	51	7.2.3	Wärmemanagement für die Kühlkörper der Leiterplatte	75
5.3.4	Transportschienen für Leiterplatten im PC-Card-Formfaktor	51	7.2.4	Befestigung der Kühlkörper auf der Leiterplatte	76
5.4	Bemaßungssysteme	51	7.2.5	Designaspekte für Kühlkörper für SMD-Leiterplatten	77
5.4.1	Maße und Toleranzen	51	7.3	Techniken der Wärmeübertragung	78
5.4.2	Bauteil- und Merkmalsposition	52	7.3.1	Charakteristik des Wärmeausdeh- nungskoeffizienten (CTE)	78
5.4.3	Bezugsmerkmale	53	7.3.2	Wärmeübergang	78
5.5	Dickentoleranz bei Leiterplatten	58	7.3.3	Thermische Anpassung	78
5.6	Nutzenbildung	58			
5.7	Nutzenrahmenbildung	58			
6	ELEKTRISCHE EIGENSCHAFTEN	59			
6.1	Elektrische Aspekte	59			
6.1.1	Elektrische Leistung	59			
6.1.2	Stromversorgung	59			
6.1.3	Schaltungsarten	61			

7.4	Zuverlässigkeit des thermischen Designs	78	8.6.1	Drahtbonden	103
8	BAUTEIL- UND BESTÜCKUNGSASPEKTE ..	80	8.6.2	Flip-Chip	103
8.1	Allgemeine Bestückungsanforderungen	81	8.6.3	Chip-Scale-Packaging (CSP)	103
8.1.1	Automatische Bestückung	81	8.7	Filmbonden (Tape-Automated-Bonding TAB)	104
8.1.2	Bauteilplatzierung	81	8.8	Grid-Array-SMT	104
8.1.3	Ausrichtung	83	8.9	Bauteile mit unbedrahteten Anschlüssen	104
8.1.4	Zugänglichkeit von Bauteilen	83	8.9.1	Unbedrahtete Bauteile mit Anschlüssen an vier Seiten (PQFN) und unbedrahtete Bauteile mit kleinem Umfang (PSON), jeweils mit zurückgezogenen Anschlüssen	105
8.1.5	Design-Bauraum	83	8.10	Design-Leitfäden für Einpress-Stifte	105
8.1.6	Zentrierung der Bauteilkörper	84	9	LÖCHER UND VERBINDUNGEN	105
8.1.7	Bündige Montage über leitfähigen Bereichen ...	84	9.1	Allgemeine Anforderungen an Anschlussflächen mit Löchern	105
8.1.8	Mindestabstände der Bauteile	84	9.1.1	Anforderungen an die Anschlussflächen	106
8.1.9	Bauteilbefestigung	85	9.1.2	Anforderungen an den Restring	107
8.1.10	Wärmeabführung	86	9.1.3	Thermische Entkopplungen in leitenden Ebenen	108
8.1.11	Spannungsentlastung von Bauteilanschlüssen ..	86	9.1.4	Anschlussflächen für abgeflachte, runde Bauteilanschlüsse	108
8.2	Allgemeine Anforderungen an die Befestigung	88	9.2	Löcher	108
8.2.1	Durchsteckmontage	88	9.2.1	Nicht-metallisierte Löcher	108
8.2.2	Oberflächenmontage	88	9.2.2	Durchmetallisierte Löcher	109
8.2.3	Mischbestückung	88	9.2.3	Bohrungspositionen	111
8.2.4	Lötaspekte	88	9.2.4	Lochrasterabweichungen	111
8.2.5	Steckverbinder und Verbindungen	90	9.2.5	Positionstoleranzen der Bohrungen	111
8.2.6	Befestigungssysteme	92	9.2.6	Anzahl der Löcher	112
8.2.7	Versteifungen	93	9.2.7	Abstände benachbarter Löcher	112
8.2.8	Anschlussflächen für abgeflachte, runde Bauteilanschlüsse	93	9.2.8	Öffnungsverhältnis (Aspect Ratio)	112
8.2.9	Lötstützpunkte	93	9.3	Schutz von VerbindungsLöchern	112
8.2.10	Lötösen	95	9.3.1	Anforderungen an den Schutz von VerbindungsLöchern	112
8.2.11	Sonderverdrahtungen	95	9.3.2	Füllung von VerbindungsLöchern	113
8.2.12	Wärmeschrumpfende Elemente	96	10	ALLGEMEINE ANFORDERUNGEN AN DIE SCHALTUNGSEIGENSCHAFTEN	114
8.2.13	Stromschienen (Sammelschienen)	96	10.1	Eigenschaften der Leiterbahnen	114
8.2.14	Flexible Kabel	96	10.1.1	Leiterbreite und -dicke	114
8.3	Anforderungen bei Durchsteckmontage	97	10.1.2	Elektrische Mindestabstände	117
8.3.1	Befestigung von Bauteilanschlüssen in Durchgangslöchern	97	10.1.3	Leiterbahnführung	117
8.4	Allgemeine Anforderungen für Oberflächenmontage	100	10.1.4	Leiterabstand	117
8.4.1	Bedrahtete oberflächenmontierte Bauteile	101	10.1.5	Füllkupfer-Strukturen (Plating Thieves)	117
8.4.2	Bauteile im Flat-Pack-Gehäuse	102	10.2	Eigenschaften der Anschlussflächen	118
8.4.3	Geprägte Bauteilanschlüsse	102	10.2.1	Fertigungstoleranzen	118
8.4.4	Runde Bauteilanschlüsse	102	10.2.2	Anschlussflächen für die SMD-Bestückung	118
8.4.5	Bauteilsockel	103			
8.5	Fine-Pitch-SMT-Bauteile (Peripherie-Bauteile)	103			
8.6	Ungehäuster Chip (Bare Die)	103			

Bild 5-4	Vorteile der Positionstoleranz gegenüber der zweiseitigen Toleranz, mm [in]	52	Bild 8-4	Mindestabstand bei unbeschichteter Leiterplatte	84
Bild 5-5	Bezugsraum	53	Bild 8-5	Mittels Klammer fixiertes, axial-bdrahtetes Bauteil	85
Bild 5-6	Beispiel für die Positionierung eines Musters durchmetallisierter Löcher, mm [in]	54	Bild 8-6	Mittels Klebstoff fixiertes, axial-bdrahtetes Bauteil	85
Bild 5-7	Beispiel eines Musters von Aufnahme-/Montagelöchern, mm [in]	54	Bild 8-7	Beispiel einer Hohlkehlnunterstützung (Filleting) im Vergleich zur Klebe- montage	85
Bild 5-8	Beispiel für die Positionierung eines Leiterbilds mit Hilfe von Passermarken, mm [in]	55	Bild 8-8	Montage mit Aufstandsflächen oder Abstandshalter	86
Bild 5-9	Beispiel für die Positionierung und Tolerierung einer Leiterplatten-Umrisslinie, mm [in]	56	Bild 8-9	Beispiele zur Wärmeabfuhr	87
Bild 5-10	Beispiel einer Leiterplattenzeichnung unter Verwendung der geometrischen Bemaßung und Toleranzangabe, mm [in]	56	Bild 8-10	Anschlussbiegungen	87
Bild 5-11	Anforderungen an die Freifläche bei Passermarken	57	Bild 8-11	Typische Anschlusskonfigurationen	88
Bild 5-12	Nutzenbildung bei Leiterplatten, mm	57	Bild 8-12	Typische Anordnung der Kodierung	91
Bild 5-13	Beispiel für die Vermaßung eines Kodierschlitzes und dessen Toleranz, mm [in]	58	Bild 8-13	Toleranzen der Leiterplattenkante	91
Bild 6-1	Konzepte der Spannungs-/Masseversorgung	60	Bild 8-14	Konfiguration von Führungsfasern	92
Bild 6-2	Routen entlang einer einzelnen Bezugskante	61	Bild 8-15	Zweiteiliger Steckverbinder	92
Bild 6-3	Aufteilung in Schaltungsgruppen	61	Bild 8-16	Adapter-Steckverbinder für Leiterplattenkanten	92
Bild 6-4	Leiterplattenaufbau mit Übertragungsleitung (Transmission Line)	66	Bild 8-17	Beschreibung runder oder abgeflachter (geprägter) Anschlussverbindungen	94
Bild 6-5	Kapazität über Leiterbreite bei verschiedenen dielektrischen Dicken für Mikrostreifenleiter, mm [in]	70	Bild 8-18	Befestigung von Lötstützpunkten (Standoff-Terminals), mm [in]	94
Bild 6-6	Kapazität über Leiterbreite bei verschiedenen Abständen für Streifenleiter, mm [in]	71	Bild 8-19	Konfiguration mit zwei Löchern als Schnittstellenverbindung und Verbindung zwischen den Lagen	95
Bild 6-7	Überkreuzung eines Einzelleiters	71	Bild 8-20	Partiell abgewinkelte Anschlüsse der Durchstecktechnologie	97
Bild 7-1	Anforderungen an Bauteilabstände wegen der automatischen Bauteilbestückung	76	Bild 8-21	Anschlussbiegungen von DIP-Gehäusen ...	98
Bild 7-2	Vergleich der relativen thermischen Ausdehnungskoeffizienten (CTE)	79	Bild 8-22	Lot im Biegeradius des Anschlusses	98
Bild 8-1	Bauteilausrichtung beim Wellenlöten	83	Bild 8-23	Radial bedrahtete Bauteile mit zwei Anschlüssen	98
Bild 8-2	Zentrierung des Bauteilkörpers	84	Bild 8-24	Befestigung radial bedrahteter Bauteile mit zwei Anschlüssen, mm [in]	99
Bild 8-3	Axial bedrahtetes Bauteil über Leiterbahnen	84	Bild 8-25	Meniskusabstand, mm [in]	99
			Bild 8-26	„TO“-Gehäuse mit radial bedrahteten Anschlüssen, mm [in]	99
			Bild 8-27	Senkrechte Bauteilmontage, mm [in]	99
			Bild 8-28	Flat-Packs und Quad-Flat-Packs	99
			Bild 8-29	Beispiele für Flat-Packs mit abgeflachten Anschlüssen für die Bestückung in bedrahteter Technologie	100
			Bild 8-30	Metallische Leistungshalbleitergehäuse mit nachgiebigen Anschlüssen	100

Bild 8-31	Metallische Leistungshalbleitergehäuse mit nachgiebigen Abstandshaltern	100	Bild 12-1	Nutzen-Ausnutzung mit Konformitäts-Coupon-Designs gemäß IPC-2221B	125
Bild 8-32	Metallische Leistungshalbleitergehäuse mit starren Anschlüssen	100	Bild 12-2	Nutzen-Ausnutzung mit früheren (Legacy) Konformitäts-Coupon-Designs	126
Bild 8-33	Beispiele für die Flat-Pack-Oberflächenmontage	101	Bild 12-3	Beispiel eines zehnlagigen Aufbaus einer Leiterplatte	126
Bild 8-34	Runde oder geprägte Anschlüsse	102	Bild 12-4	Systematischer Pfad zur Implementierung der statistischen Prozesskontrolle (SPC)	130
Bild 8-35	Konfigurierung geprägter Anschlüsse für die planare Bestückung von Flat-Packs	102	Bild A.2-1	Layout des AB/R-Coupons, mm [in]	133
Bild 8-36	Anforderungen an die Montage der Ferse	102	Bild A.2-2	Beispiellagen des AB/R-Coupons	134
Bild 8-37	Aufbau des TSSOP-Gehäuses	103	Bild A.3-1	Layout des A/R-Coupons, mm [in]	136
Bild 8-38	Aufbau des SQFP-Gehäuses	103	Bild A.3-2	Beispiellagen des A/R-Coupons	137
Bild 8-39	Beispiele von Ball-Grid-Array-Aufbauten (BGA)	104	Bild A.4-1	Layout des B/R-Coupons, mm [in]	139
Bild 8-40	Aufbau eines keramischen Gehäuses mit matrixartig angeordneten Anschluss-Säulen (CGA)	104	Bild A.5-1	Layout des E-Coupons, mm [in]	140
Bild 8-41	Aufbau eines Gehäuses mit matrixartig angeordneten Anschlussflächen (LGA) ...	104	Bild A.5-2	E-Coupon	141
Bild 8-42	Aufbau des unbedrahteten Bauteils mit Anschlüssen an vier Seiten (Quad Flat No-Lead (QFN))	105	Bild A.6-1	Layout des S-Coupons, mm [in]	142
Bild 8-43	Aufbau des unbedrahteten SON-Bauteils	105	Bild A.6-2	Beispiellagen des S-Coupons	143
Bild 8-44	Aufbau des unbedrahteten Bauteils mit zurückgezogenen Anschlüssen an vier Seiten (PQFN)	105	Bild A.7-1	Layout des W-Coupons, mm [in]	144
Bild 9-1	Beispiele modifizierter Anschlussflächenformen	106	Bild A.7-2	Layout des W-Coupons, mm [in]	145
Bild 9-2	Außenlagenrestring	107	Bild A.8-1	Layout des D-Coupons mit A- und B-Merkmalen, mm [in]	146
Bild 9-3	Innenlagenrestring	107	Bild A.8-2	Beispiellagen des D-Coupons mit A- und B-Merkmalen	147
Bild 9-4	Thermische Entkopplung in Ebenen	108	Bild A.8-3	Layout des D-Coupons mit nicht-durchgehenden Verbindungsloch-B-Merkmalen, mm [in]	147
Bild 10-1	Eigenschaften geätzter Leiterbahnen	116	Bild A.9-1	Layout des G-Coupons, mm [in]	149
Bild 10-2	Beispiel einer „Einschnürung“ oder „Verstärkung“ einer Leiterbahn	117	Bild A.9-2	Beispiellagen des G-Coupons	150
Bild 10-3	Optimierung der Leiterbahnen zwischen Anschlussflächen	117	Bild A.10-1	Layout des H-Coupons, mm [in]	151
Bild 11-1	Ablaufdiagramm zum Design und zur Herstellung einer Leiterplatte	119	Bild A.10-2	Beispiellagen des H-Coupons	152
Bild 11-2	Ansicht einer Multilayer-Leiterplatte	120	Bild A.11-1	Layout des P-Coupons, mm [in]	153
Bild 11-3	Gemeinsame Öffnung der Lötstopmmaske	121	Bild A.11-2	Beispiellagen des P-Coupons	153
Bild 11-4	Einzelne Öffnungen der Lötstopmmaske	121	Bild A.12-1	Layout des Z-Coupons (Mikrostreifenleiter und kantengekoppelter Mikrostreifenleiter), mm [in]	154
			Bild A.12-2	Beispiellagen des Z-Coupons	155
			Bild A.12-3	Layout des Z-Coupons (Mikrostreifenleiter und kantengekoppelter Mikrostreifenleiter verwenden alternative Testpunkte), mm [in]	155
			Bild B.2-1	Testcoupons A und B, mm [in]	158
			Bild B.2-2	Testcoupons A und B (Leiter-Details), mm [in]	159

Bild B.2-3	Testcoupon A/B, mm [in]	160	Tabelle 4-4	Minimalanforderungen an die Oberflächen- und Loch-Kupfermetallisierung bei Microvias (Sacklöcher und nicht-durchgehende Verbindungs-löcher)	31
Bild B.2-4	Testcoupon A/B (Leiter-Details), mm [in]	161			
Bild B.3-1	E-Coupon, mm [in]	162			
Bild B.3-2	Y-Muster für Chip-Bauteile für den Reinheitstest	162	Tabelle 4-5	Minimalanforderungen an die Oberflächen- und Loch-Kupfermetallisierung bei Kernen für nicht-durchgehende Verbindungs-löcher über genau 2 Lagen	31
Bild B.4-1	S-Testcoupon, mm [in]	163			
Bild B.5-1	M-Testcoupon, Lötbarkeitstest für Oberflächenmontage, mm [in]	164	Tabelle 4-6	Endoberflächen	32
Bild B.6-1	D-Testcoupon, mm [in]	165	Tabelle 4-7	Anwendungen von Goldbeschichtungen	33
Bild B.6-2	Beispiel für 10 Lagen	166	Tabelle 4-8	Vor- und Nachteile der ENIG-Endoberfläche	34
Bild B.6-3	Beispiel für einen D-Coupon mit 10 Lagen, modifiziert, um Sacklöcher und nicht-durchgehende Verbindungs-löcher zu beinhalten	167	Tabelle 4-9	Vor- und Nachteile der ENIG/EG-Endoberfläche	35
Bild B.6-4	D-Testcoupon zur Prozesskontrolle von 4-lagigen Leiterplatten	168	Tabelle 4-10	Vor- und Nachteile der ENEPIG-Endoberfläche	35
Bild B.7-1	G-Testcoupon, Haftfestigkeit der Lötstopmmaske, mm [in]	168	Tabelle 4-11	Vor- und Nachteile der Chemisch-Silber-Endoberfläche	36
Bild B.8-1	Optionaler H-Coupon, mm [in]	169	Tabelle 4-12	Vor- und Nachteile der Chemisch-Zinn-Endoberfläche	37
Bild B.8-2	Beispiele kammförmiger Strukturen	170	Tabelle 4-13	Vor- und Nachteile der OSP-Endoberfläche	38
Bild B.9-1	C-Coupon, nur Außenlagen, mm [in]	170	Tabelle 4-14	Anforderungen an Kupferfolien/-filme ...	40
Bild B.10-1	F-Testcoupon, mm [in]	172	Tabelle 4-15	Metallkern-Substrate	41
Bild B.10-2	R-Testcoupon, mm [in]	173	Tabelle 4-16	Mindestabstände und Stegbreiten für Lötstoppmasken	43
Bild B.10.3	Ungünstigstes Verhältnis Loch/Anschlussfläche	173	Tabelle 4-17	Typen und Dickenbereiche für Schutzbeschichtungen	43
Bild B.11-1	N-Testcoupon, Bondfestigkeit Oberflächenmontage und Haftfestigkeit, mm [in]	174	Tabelle 4-18	Funktionalitäten von Schutzbeschichtungen	44
Bild B.12-1	X-Testcoupon, mm [in]	176	Tabelle 5-1	Fertigungstechnische Gesichtspunkte und Überlegungen	46
Bild B.12-2	Biegetest	176	Tabelle 5-2	Substratabmessungen bei PC-Card-Formfaktoren	46

Tabellen

Tabelle 3-1	Checkliste Abgleich der Design- und Leistungskennzahlen von Leiterplatten	6	Tabelle 5-3	Typische Grenzwerte von Montageeinrichtungen für Baugruppen	51
Tabelle 3-2	Bauteil-Rasterflächen	22	Tabelle 6-1	Elektrischer Leiterbahnabstand	64
Tabelle 4-1	Typische Eigenschaften üblicher dielektrischer Materialien	25	Tabelle 6-2	Typische relative Dielektrizitätskonstanten der Leiterplatten-Basismaterialien	67
Tabelle 4-2	Anforderungen an die Endoberfläche und an Schutzbeschichtungen	30	Tabelle 6-3	Beispiel einer Lagenfolge für eine sechslagige Leiterplatte	69
Tabelle 4-3	Minimalanforderungen an die Oberflächen- und Loch-Kupfermetallisierung bei nicht-durchgehenden Verbindungs-löchern über mehr als 2 Lagen, durchmetallisierten Löchern und Sacklöchern	31	Tabelle 7-1	Einfluss des Materials auf die Wärmeleitung	72
			Tabelle 7-2	Emissionsvermögen verschiedener Materialien	73

Tabelle 7-3	Bevorzugte Befestigungstechniken für Leiterplattenkühlkörper	77	Tabelle 10-2	Dicke von Außenlagenleitern nach der Metallisierung	115
Tabelle 7-4	Vergleichende Zuverlässigkeitsmatrix der Befestigung von Bauteilanschlüssen	78	Tabelle 12-1	Anhang A Anforderungen an den Coupon	123
Tabelle 9-1	Minimale Standard-Herstellungstoleranzen für Verbindungsanschlussflächen	106	Tabelle 12-2	Anhang B Anforderungen an den Coupon	124
Tabelle 9-2	Minimale Restringe	107	Tabelle A.1-1	IPC-Coupons	131
Tabelle 9-3	Mindest-Bohrlochgrößen für nicht-durchgehende Verbindungslöcher	110	Tabelle A.2-1	Parameter des AB/R-Coupons, mm [in]	132
Tabelle 9-4	Mindest-Bohrlochgrößen für Sacklöcher	110	Tabelle A.3-1	Parameter des A/R-Coupons, mm [in] ..	135
Tabelle 9-5	Minimale Positionstoleranzen für Löcher (Abweichungen von der Sollposition, DTP)	112	Tabelle A.4-1	Parameter des B/R-Coupons, mm [in] ..	138
Tabelle 9-6	Minimale und maximale Durchmesser von Verbindungslöchern, sowie minimale und maximale Öffnungsverhältnisse, mm [in]	113	Tabelle A.5-1	Parameter des E-Coupons, mm [in]	140
Tabelle 10-1	Innenlagen-Foliendicke nach der Bearbeitung	114	Tabelle A.6-1	Parameter des S-Coupons, mm [in]	142
			Tabelle A.7-1	Parameter des W-Coupons, mm [in]	144
			Tabelle A.8-1	Parameter des D-Coupons, mm [in]	146
			Tabelle A.9-1	Parameter des G-Coupons, mm [in]	148
			Tabelle A.10-1	Parameter des H-Coupons, mm [in]	151
			Tabelle A.11-1	Parameter des P-Coupons, mm [in]	153
			Tabelle A.12-1	Parameter des Z-Coupons, mm [in]	154
			Tabelle B.1-1	IPC-2221 Vorläufer-Coupons	156

Basisrichtlinie für das Design von Leiterplatten

1 ANWENDUNGSBEREICH

Diese Richtlinie legt die Basisanforderungen an das Design organischer Leiterplatten und weiterer Formen der Bauteilmontage oder Bauteilverbindung, einschließlich PC-Card-Formfaktoren (PCMCIA), fest. Die organischen Materialien können homogen oder verstärkt oder mit anorganischen Materialien verbunden sein. Die Verbindungsstrukturen können einseitig, zweiseitig oder als Multilayer ausgeführt sein.

1.1 Zweck Die aufgeführten Anforderungen dienen der Festlegung von Designrichtlinien und Empfehlungen. Sie **müssen** gemeinsam mit detaillierten Anforderungen spezieller Designrichtlinien für die jeweilige Verbindungsstruktur (siehe 1.2) verwendet werden, um entsprechende Designs für die Bestückung und Montage von Bauteilen zu erstellen. Diese Richtlinie ist nicht als Leistungsspezifikation für fertige Leiterplatten oder als Abnahmedokument für elektronische Baugruppen zu verwenden.

1.2 Rangfolge der Dokumente Diese Richtlinie legt die allgemeinen Designregeln fest. Sie wird ergänzt durch verschiedene Richtlinien, die genauer auf spezielle Aspekte der Leiterplattentechnologie eingehen. Dazu zählen:

IPC-2222 Designrichtlinie für starre, organische Leiterplatten

IPC-2223 Designrichtlinie für flexible Leiterplatten

IPC-2225 Organic, MCM-L, printed board design

IPC-2226 High Density Interconnect (HDI) printed board design

Die Dokumente sind Teil einer Familie von Designunterlagen für Leiterplatten und werden als Serie IPC-2220 zusammengefasst. Die Nummer IPC-2220 dient nur Bestellzwecken und umfasst diese Richtlinie und die vier oben aufgelisteten.

Hinweis: IPC-2224, eine Designrichtlinie für PC-Card-Formfaktoren, wurde vom IPC annulliert. Relevante Design-Informationen für PC-Card-Formfaktoren wurden in diese Ausgabe der IPC-2221 sowie in IPC-2222 übernommen.

1.3 Darstellung Alle Maßangaben und Toleranzen werden in dieser Richtlinie in (metrischen) SI Einheiten ausgedrückt. In Klammern folgen daraus abgeleitet die Angaben im Imperial-Maßsystem (Inch). Die Anwender dieser Richtlinie sollten das metrische System verwenden. Alle Maßangaben größer oder gleich 0,1 mm [0,0039 in] werden in Millimeter und Inch angegeben. Alle Maßangaben kleiner 0,1 mm [0,0039 in] werden in Mikrometer und Mikroinch ausgedrückt.

1.3.1 Maßeinheiten [der englische Text wurde entnommen aus: National Institute of Standards and Technology – Metric Information and Conversions]. Seit 1. Januar 2010 lässt die EU-Richtlinie 80/181/EWG (Einheitenrichtlinie) nur noch die Verwendung metrischer Einheiten zu und verbietet für die meisten Produkte, die in der Europäischen Union (EU) vertrieben werden, die Verwendung jeglicher anderer Maßeinheiten. Die Einheitenrichtlinie schreibt die ausschließliche Verwendung der metrischen Einheiten in allen Aspekten des Lebens in der Europäischen Union verpflichtend vor. Das gilt auch für Bereiche wie Produkt-Literatur und Werbung“.

Die meisten Bauteil-Datenblätter geben metrische Einheiten an. Zahlreiche Designer von Leiterplatten verbringen viel Zeit damit, zwischen dem Imperial-Maßsystem (Inch) und den metrischen SI-Einheiten umzurechnen. Rundungsfehler, entstanden aus der Umwandlung von Einheiten, können Ungenauigkeiten hervorrufen, die zu knappen Auslegungen oder nicht funktionierenden Designs führen. Die Leiterplatten-Hersteller tendieren jedoch häufig zu Einheiten des Imperial-Systems. Leiterplatten-Designwerkzeuge (Electronic Computer Aided Design ECAD) bieten die Möglichkeit, Bauteile aus Bibliotheken mit metrischer oder Imperial-Basis gemeinsam auf der gleichen Leiterplatte zu platzieren, da die Präzision der Maßangaben hoch genug ist, um die meisten Standard-Bauteile präzise zu beschreiben.

Probleme können jedoch dann aufkommen, wenn Informationen aus Fremdsoftware importiert werden oder wenn versucht wird, während des Layoutierens beide Maßsysteme zu vermischen. Wenn z. B. ein Teil des Leiterplattendesigns aus einer importierten Datei im Drawing Exchange Format (.DXF) mit metrischen Einheiten besteht, die mit einem digitalen Schaltungsteil verbunden werden muss, der auf imperialen Einheiten basiert, können Probleme entstehen, wenn die Daten der beiden Netze gemischt werden. Im Gegensatz zum Daten-Import aus Bibliotheken ist nicht sichergestellt, dass die Einheiten beim Import von .DXF-Dateien ebenfalls konvertiert werden.