

Ergebnisbericht Round Table FED und ZVEI zu UL Multiple Solder Limits

1. Hintergrund

Im März 2018 hat Underwriters Laboratories (UL) mit der Ankündigung, die Solder Limits neu definieren zu wollen, für erhebliche Unruhe in der Branche gesorgt. Auslöser war die Aussage, dass die bisherige Simulation der Lötprozesse nur die Flow- Verfahren abdeckt und das häufigste Lötverfahren, das Reflowlöten, bisher nicht betrachtet wird. Dies sei laut UL ein Zustand, der erhebliche Zweifel an der gewünschten Zuverlässigkeit der Produkte im Betrieb aufkommen lässt. Daher seien neue "Multiple Solder Limits" notwendig.

Zur Gestaltung neuer Vorgaben für Mehrfachlötungen haben FED und ZVEI einen Round Table gegründet mit mehr als 30 Teilnehmern aus den Bereichen Basismaterialien, Lote, Lacke, Leiterplatten und Baugruppen. Ziel des Round Table war es, proaktiv praxismgerechte Lötparameter zu entwickeln, um nicht von UL oder anderen Interessengruppen vor vollendete Tatsachen gestellt zu werden. Ein Teilerfolg konnte bereits erreicht werden, da UL die Zusage abgerungen werden konnte, alle aktuell am Markt befindlichen UL-Listungen für Leiterplatten quasi "einzufrieren" und nicht in Frage zu stellen. Zudem hat UL klar signalisiert, dass es die Arbeit des Round Table von FED und ZVEI sehr begrüßt. Der folgende Bericht fasst die Arbeit und Ergebnisse der gemeinsamen Verbandsinitiative zusammen und enthält eine Empfehlung an UL.

2. Methodik und Ergebnisse

FED und ZVEI sehen die Produkt-Zuverlässigkeit (auch und insbesondere der Leiterplatte) als nicht gefährdet an. Aufgrund der Umstellung auf RoHS-konforme, bleifrei gelötete Produkte und durch die gleichzeitige Anpassung von Basismaterialien und Prozessen sind bei den Mitgliedsunternehmen keine höheren Ausfallraten aufgetreten.

Um den Mitgliedsunternehmen zusätzliche Sicherheit bei den thermischen Zuverlässigkeitsreserven von Leiterplatten zu geben, hat der Round Table eine Arbeitsgruppe Baugruppenfertigung gegründet. Diese hat den diesbezüglichen aktuellen Stand in der Baugruppen- und Leiterplattenproduktion recherchiert und daraus Empfehlungen abgeleitet.

Diese Empfehlungen gelten für starre Leiterplatten. Bei Sonderformen (Flex, Starrflex, IMS) sowie bei besonderen Materialien (z. B. Polyimid) müssen die Lötparameter zwischen dem Leiterplattenhersteller und Baugruppenproduzenten

abgestimmt werden. Das vereinbarte Profil und die Anzahl der Temperaturzyklen wird an UL zur Prüfung und Freigabe übermittelt.

Konkret wurden bei Mitgliedsunternehmen die verwendeten Temperatur- Zeitprofile beim Reflowlöten anonym abgefragt und in einer Übersicht zusammengestellt. Gemessen wurde die Temperatur an der Leiterplattenoberfläche. Dabei haben sich unter der Messstelle keine Leiterbahn oder Lötfläche befunden.

Eine Normen- und Literaturrecherche ergab, dass es zum Thema Reflow-Simulation in den einschlägigen Normen bereits Empfehlungen und Vorgaben gibt. Die IPC TM-650 beschreibt in der Testmethode 2.6.27A bereits verschiedene Profile, sowie auch die Anzahl der notwendigen Wiederholungen. Da jede Baugruppe in der Elektronikproduktion ihr eigenes, individuelles Lötprofil benötigt, wurde sehr schnell klar, dass ein einziges „Universalprofil“ hier nicht die Realität abbilden kann. Speziell in der Leistungselektronik sind aufgrund der hohen thermischen Massen tendenziell oft längere Vorheizzeiten notwendig, während die Spitzentemperatur hier aber oft reduziert werden kann. Diese Anforderungen können mit einem aus der IPC J-STD-020 stammenden Profil, welches im Bereich der Vorheizung angepasst wurde, dargestellt werden.

In der Diskussion wurde festgestellt, dass die Spitzentemperatur und eine definierte Prozesszeit nicht das alleinige Kriterium sein können. Entscheidend ist vielmehr die Menge an (Wärme-)Energie, die in die Leiterplatte eingebracht wird. Dies kann mit einem Äquivalent in Ks (Kelvin Sekunden) gut dargestellt werden. Es wird dabei die Fläche unter der Temperaturkurve berechnet. Die Berechnung beinhaltet auch die Abkühlzeit, wobei - da es sich um eine Reflowanwendung handelt - die Wärmemenge beginnend bei einer Starttemperatur von 30°C über die gesamte Heiz- und Abkühlphase bis hin zu einer Endtemperatur von 30° C betrachtet wird .In der Praxis bedeutet das: Wenn die Spitzentemperatur geringer ist, kann die gesamte Prozesszeit länger sein. Als Obergrenze für dieses Äquivalent wird ein Wert von 105.000 Ks für den Reflowprozess empfohlen.

3. Tests

In einem Stichversuch wurden verschiedene Musteraufbauten von den beteiligten Firmen angefertigt und mehreren Reflowzyklen ausgesetzt. Anschließend erfolgte ein Test, wie ihn UL in der Qualifizierung durchführt. Die Ergebnisse dieser Versuche waren positiv, so dass für Standardaufbauten die oben genannten Grenzen für das Reflowlöten zu keiner Beeinträchtigung der Zuverlässigkeit von Leiterplatten führen.

4. Empfehlung an UL

Die folgenden Empfehlungen gelten für starre Leiterplatten. Bei Sonderformen (Flex, Starrflex, IMS) sowie bei besonderen Materialien (z. B. Polymid) müssen die Lötparameter zwischen dem Leiterplattenhersteller und Baugruppenproduzenten

abgestimmt werden. Das vereinbarte Profil und die Anzahl der Temperaturzyklen wird an UL zur Prüfung und Freigabe übermittelt.

Eine Datenabfrage bei Baugruppenfertigern hat ergeben, dass es drei wesentliche Darstellungen von Lötprofilen gibt, die eine Temperaturbelastung von Leiterplatten repräsentativ beschreiben:

- a. Profil gemäß der IPC-TM-650 Methode 6.2.27A
- b. ein Profil in Anlehnung an die J-STD-020 für Baugruppen in der Leistungselektronik
- c. eine Wärmemenge, die bei einer Start- und Endtemperatur von über 30 °C den Wert von 105.000 Ks im Durchlauf nicht überschreitet

Details zu den obigen Profilen sind in der Anlage 1 zu finden. Unter Einhaltung der Rahmenbedingungen aus einer der oben genannten Profilvarianten (a, b oder c) ist es dem Baugruppenfertiger möglich, zuverlässige Baugruppen zu erzeugen. Zudem ist es sinnvoll, Leiterplatten in zwei Kategorien einzuteilen. Die Auswahl der einzelnen Basismaterialien orientiert sich oft an der Anzahl der Lötprozesse und der späteren Verwendung der Baugruppe.

- *Kategorie 1*
Leiterplatten mit wenigen Lötprozessen. Hier sollte entsprechend der geringeren Belastung während der Baugruppenproduktion auch die Qualifikationskriterien geringer sein (z.B. nur drei Reflow Simulationen)
- *Kategorie 2*
Leiterplatten mit mehreren Lötprozessen, z.B. 2x Reflow, 2x Flow Verfahren. Hier kann man bei der Anzahl der Simulationen, wie in der TM-650 2.6.27A beschrieben bleiben.

Anlage 1:

TM650 High Profile

Upper Limit

	Temp	Time
A	30	0
B	230	100
C	230	195
D	265	255
E	265	285
F	230	345
G	30	550

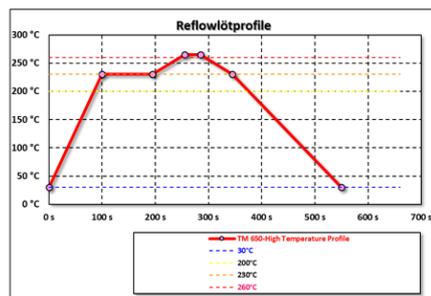


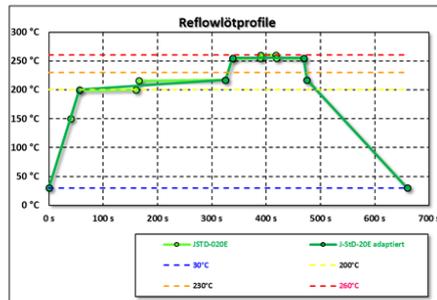
Table 5-1 260 °C Reflow Profile Specifications (Default)*

Value	Time (Seconds)	Temperature (°C)	Description
t1	210 ± 15	-	Target preheat time
t2	270 ± 10	-	Target peak reflow time
t3	330 ± 15	-	Target cool-down start time
t3 - t1	120 ± 30	-	Target time above T1
T1	-	230	Maximum preheat temperature
T2	-	260 ± 5	Target reflow temperature

J-STD 020E - adapted

Upper Limit

	Temp	Time
A	30	0
B	200	56
C	217	325
D	255	338
E	255	469
F	217	475
G	30	660



Adaption of the Profile according to J-STD020E

Die Messung wird auf der Leiterplattenoberfläche durchgeführt, es dürfen sich keine Leiterbahnen oder Lötflächen unter dem Messfühler befinden.

Beispiele für die Berechnung der eingebrachten Wärmemenge (max. 105.000 Ks)

