

Call for Papers – 18. FED-Konferenz vom 16.-18.9.2010

Die 18. FED-Konferenz „Elektronik-Design – Leiterplatten – Baugruppen 2010“ findet vom 16.-18.9.2010 in der Schwabenlandhalle in Fellbach bei Stuttgart statt.

Die FED-Konferenz gehört zu den führenden Jahresereignissen der Elektronikindustrie Deutschlands, Österreichs und der Schweiz. Sie ist integrativer Treffpunkt der Branche für Designer, Leiterplatten- und Baugruppenhersteller, Bauteil- und Materiallieferanten, Institute und Hochschulen.

Zur 18. Konferenz 2010 erwartet der FED, auch aufgrund des sehr gut gelegenen Veranstaltungsortes, mehr als 400 Teilnehmer.

Fachleute und Unternehmensmanagement sind herzlich eingeladen, sich mit Beiträgen aus den Bereichen Entwicklung, Design, Fertigung, Qualitätssicherung, Markttrends und Management aktiv an der Veranstaltung zu beteiligen. Auch 2010 wird die Konferenz von einer **Firmenausstellung** begleitet.

Management

- Fremdkapitalbeschaffung und Rating für KMU, Lösungen für Liquiditätsengpässe
- Ganzheitliche Logistikkonzepte mit Supply Chain Management und KANBAN-Lösungen
- Fördermöglichkeiten von Innovationsprojekten, Finanzierungsmodelle und Leasingkonzepte
- Risikomanagement und Obsolescence-Management
- Betriebliche Altersvorsorge
- Aktuelle Entwicklungen bei RoHS, WEEE, EuP und REACH

Design

- Layoutstrategien für hochpolige SMD-Bauelemente (z.B. BGA, µBGA, FPGA, QFP, QFN)
- Wärmemanagement (Designgrundlagen, Dickkupfer und Iceberg-Technologie u.a.)
- Werkzeuge für das Embedded Design
- Rapid Prototyping
- Simulation im Designprozess (Thermoanalyse, EMV, Impedanz usw.)
- Neue CAD-Software für Leiterplattenbaugruppen, FPGA, EMV, Thermo- und Hochstromdesign

Leiterplatten

- Handling, Lagerung und Trocknung von Leiterplatten in der Praxis und gemäß IPC-1601
- Anforderungen an die Zuverlässigkeit von Basismaterialien für die erhöhten Löttemperaturen beim Löten mit SnCu- und SnAgCu-Löten
- Embedded Components, Integration von passiven, aktiven und optischen Elementen
- Flexible und Starrflexible Leiterplatten
- Oberflächenbeschichtungen (HAL-Bleifrei, Chemisch Ag, Chemisch Sn, Chemisch Ni/Au, Nanofinish, OSP)

Baugruppen

- SiP – System in Package, Wafer Level Packaging, (Chip Size Packaging, CSP)
- Innovationen und Langzeitzuverlässigkeit bei Lötverbindungen, Baugruppen und Systemen
- Optoelektronische Bauelemente, z.B. LED, OLED, Optokoppler
- Embedded Systems und Wärmemanagement
- Elektronikkomponenten für Zukunftstechnologien, z.B. Photovoltaik, Alternative Antriebskonzepte

Angebote: Bitte *schriftlich* an die FED-Geschäftsstelle mit folgender Gliederung:

(1) Beitragstitel, (2) vorgesehener Einsatz (Workshop 90 oder 180 Minuten, Vortrag 30 Minuten), (3) inhaltliche Kurzbeschreibung (etwa 10-15 Zeilen), (4) Referent, (5) Adresse der Firma/Institution, (6) Telefon, Fax, E-Mail.

Einsendeschluss: 31. März 2010

Ansprechpartner: Michael Ihnenfeld, FED-Geschäftsstelle, Mail: m.ihnenfeld@fed.de, Tel. 030/8447 1445