



FED Roadshow 2019
Embedded JTAG Solutions



Enjoy Testing!

Gegründet: 1991 in Jena
Mitarbeiter: über 230
Firmensitz: Jena/ Thüringen (Hauptsitz)
Umsatz (2018): 38 Millionen €

F E D ZVEI:



Geschäftsbereiche

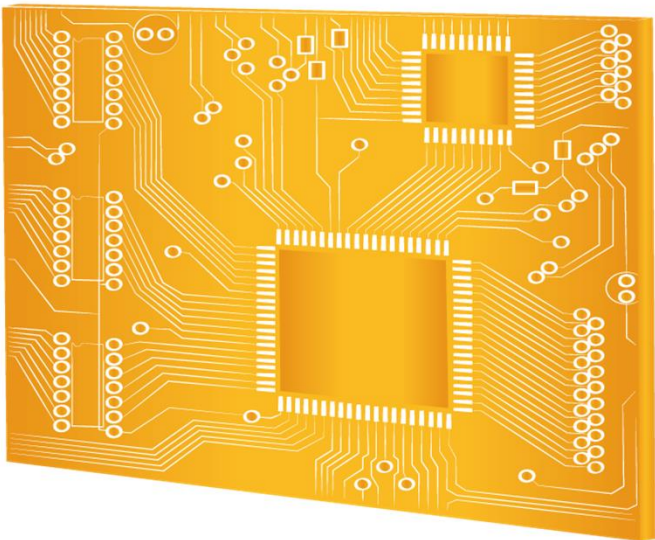
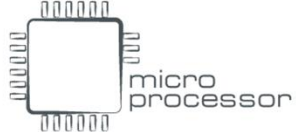
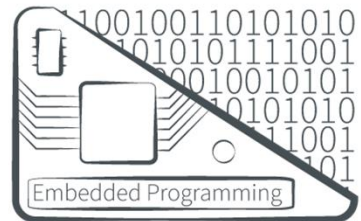
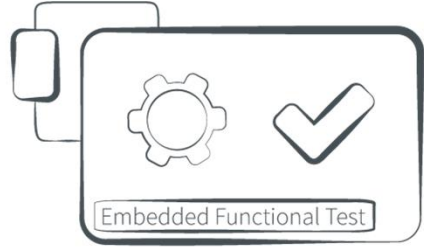
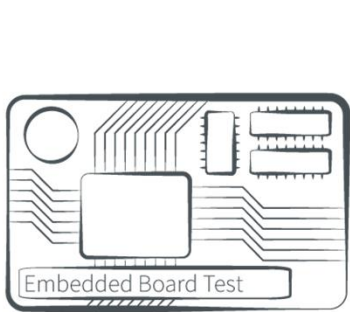


- Automotive Test Solutions
- Embedded JTAG Solutions
- Industrieller Funktionstest
- Inspektionslösungen
 - Automatische Optische Inspektion · AOI
 - Automatische Röntgeninspektion · AXI
 - Lotpasteninspektion · SPI
 - Industrielle Bildverarbeitung · IBV





Embedded JTAG Solutions

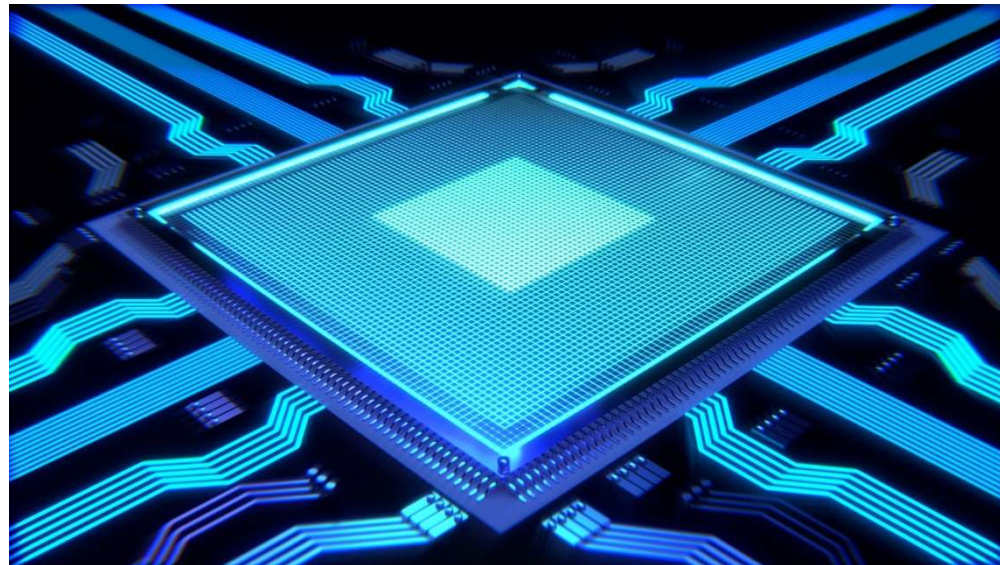


- FPGA/CPLD
- SDRAM/PDRAM
- NAND/NOR
- SPI/I2C
- eMMC
- USB 3.0
- PCIe
- Gbit Ethernet
- SATA

Embedded JTAG Solutions



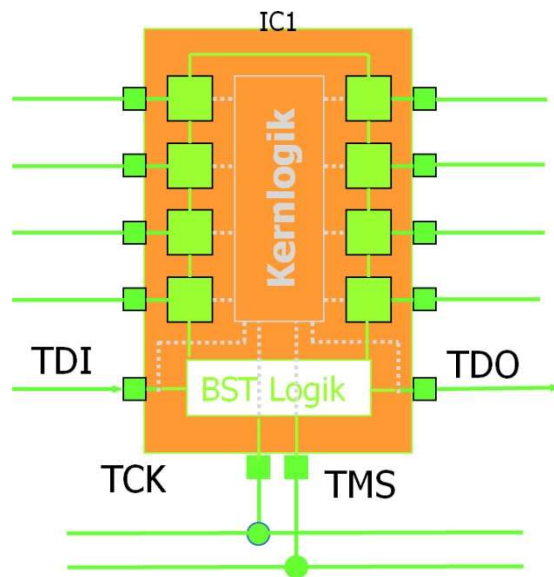
- Wir lassen die auf der Platine bestückten Bauelemente für uns arbeiten
- Verwendet werden Prozessoren, Controller, FPGAs, SoCs



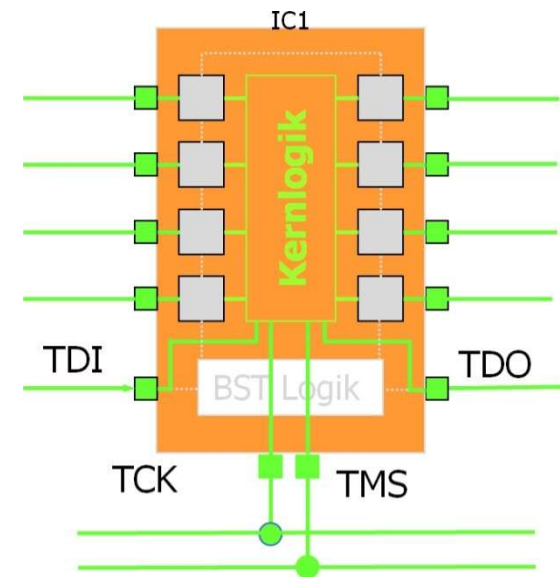
Embedded JTAG Solutions



- JTAG bietet die Möglichkeit verschiedene Testtechnologien einzeln oder kombiniert einsetzen zu können
- Prinzipiell unterscheidet man 2 Wege des Testzugriffes über JTAG



Boundary Scan nach IEEE1149.1

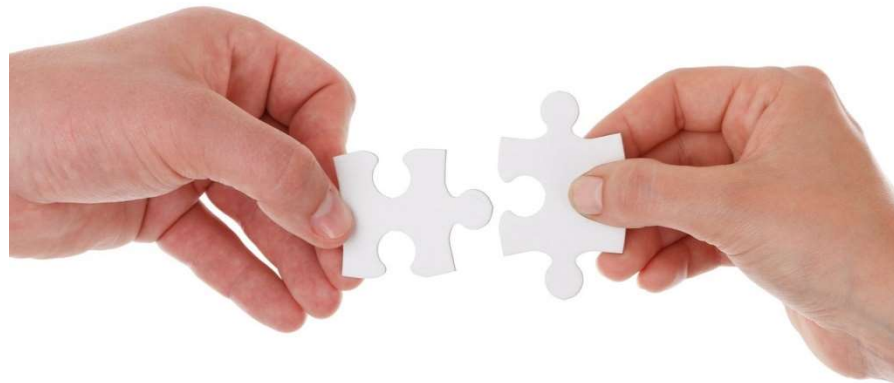


Prozessor Emulation

Embedded JTAG Solutions



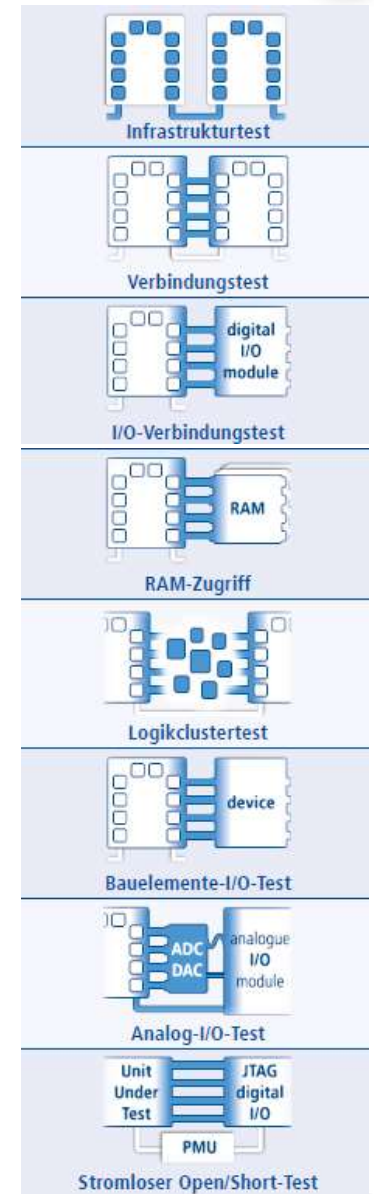
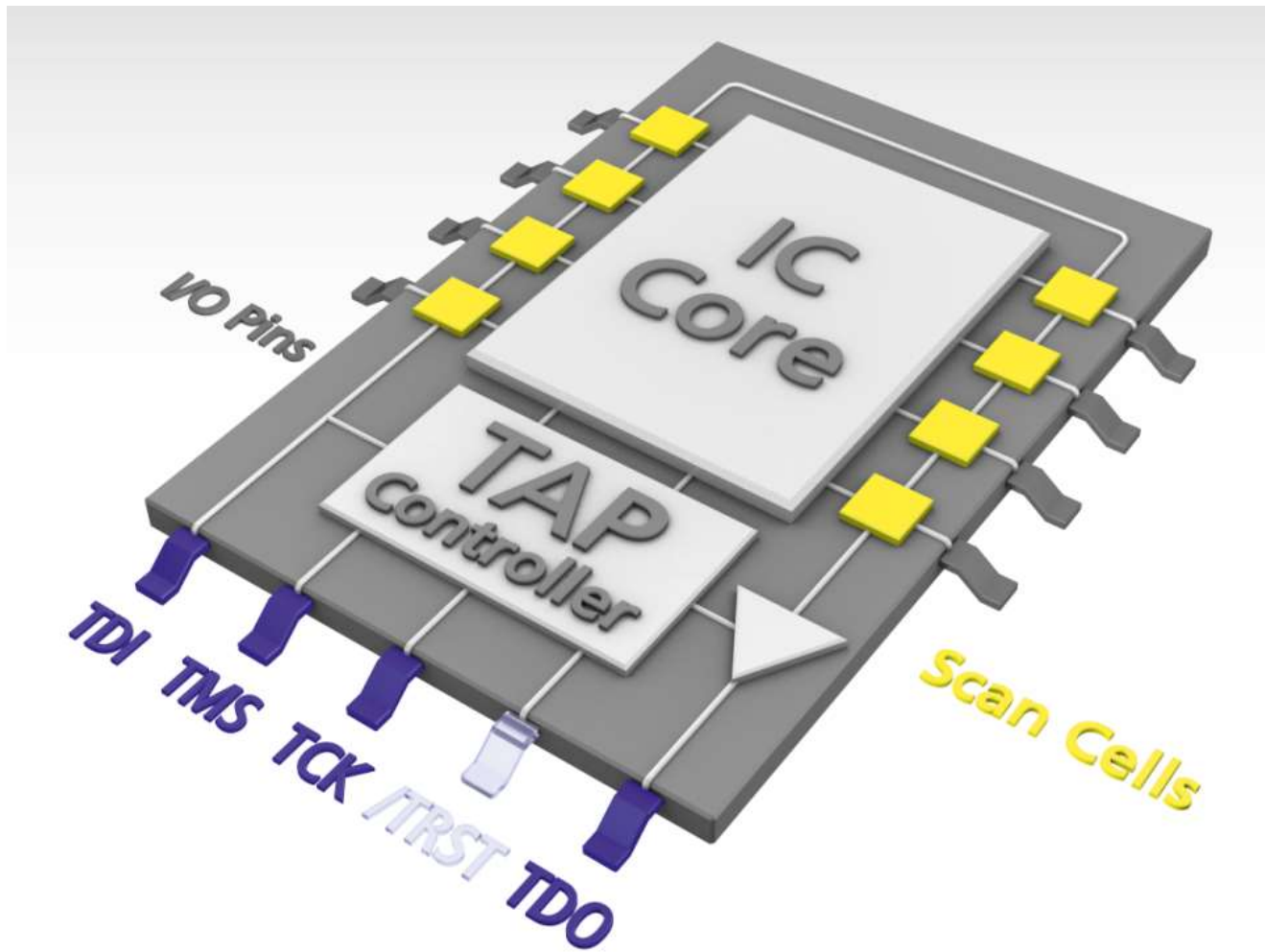
- Lösungen für einen kostengünstigen elektrischen Test
- Lösungen für eine schnelle Erstinbetriebnahme
- Lösungen für eine schnelle Fehlersuche und Lokalisierung
- Lösungen für eine effektive Programmierung in Entwicklung und Produktion





JTAG/Boundary-Scan-Test nach IEEE 1149.x

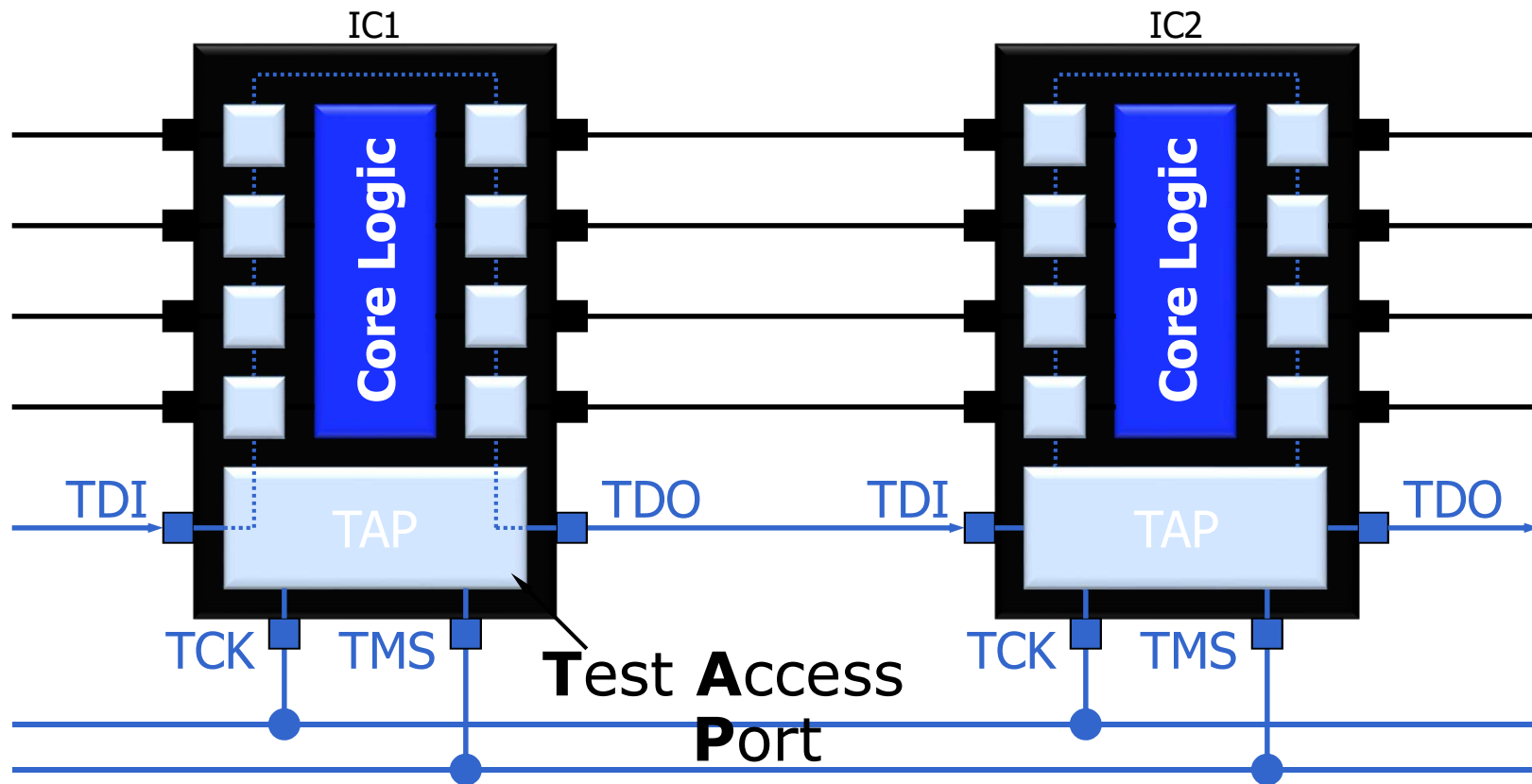
Verwendete Technologien





JTAG/Boundary-Scan-Test nach IEEE 1149.x

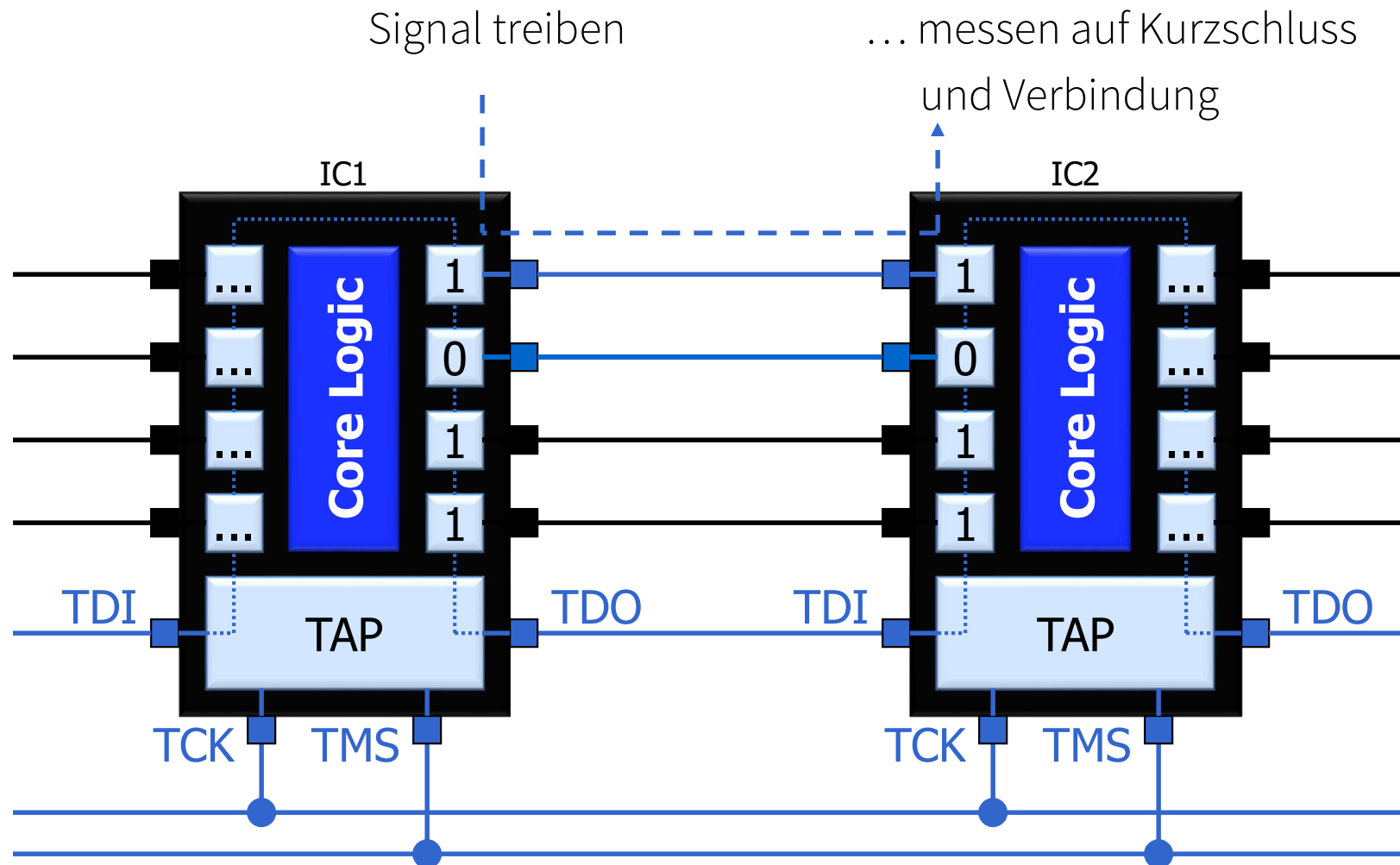
Aufbau





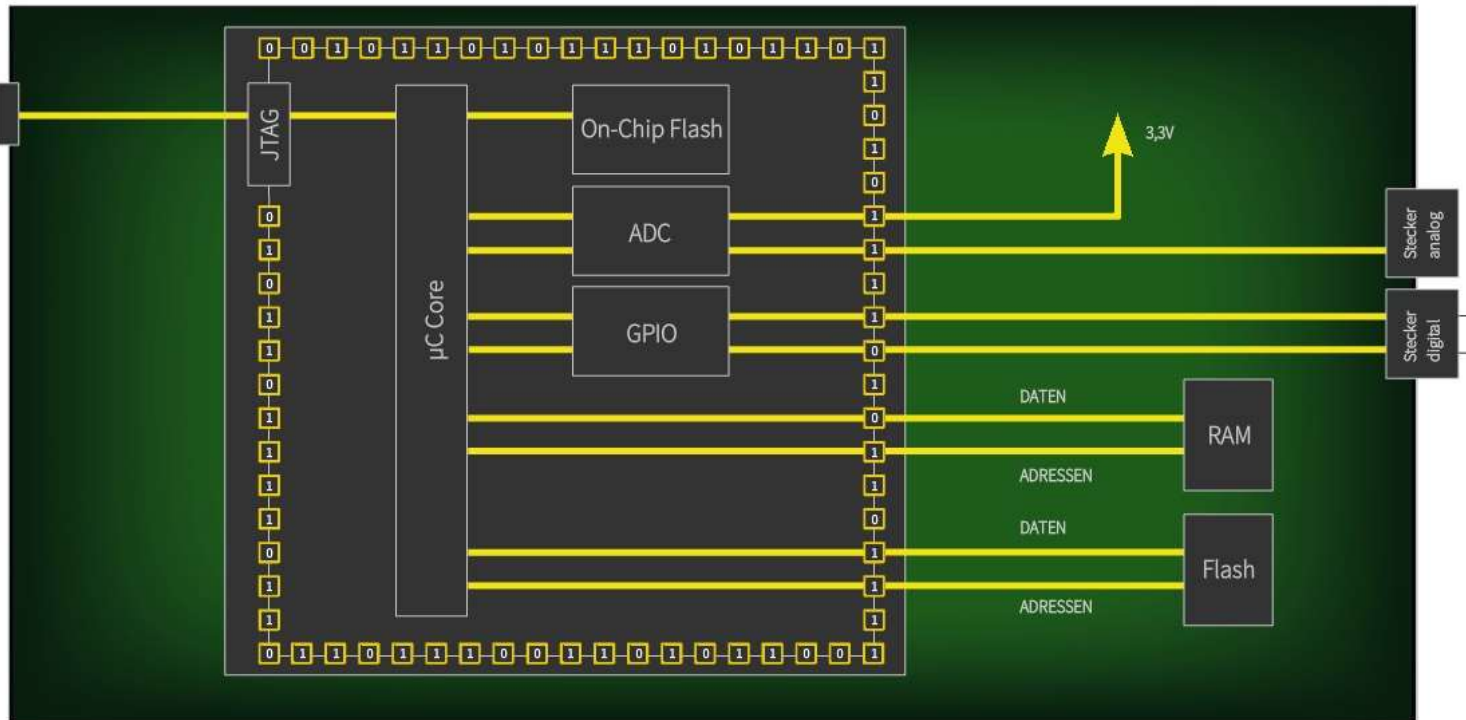
JTAG/Boundary-Scan-Test nach IEEE 1149.x

Testschritt/Funktion





VarioTAP – Prozessor Emulation Test



Nutzung der Debug Schnittstelle (meist JTAG):

Nutzung von Prozessorfunktionen für den Test.

Funktionen:

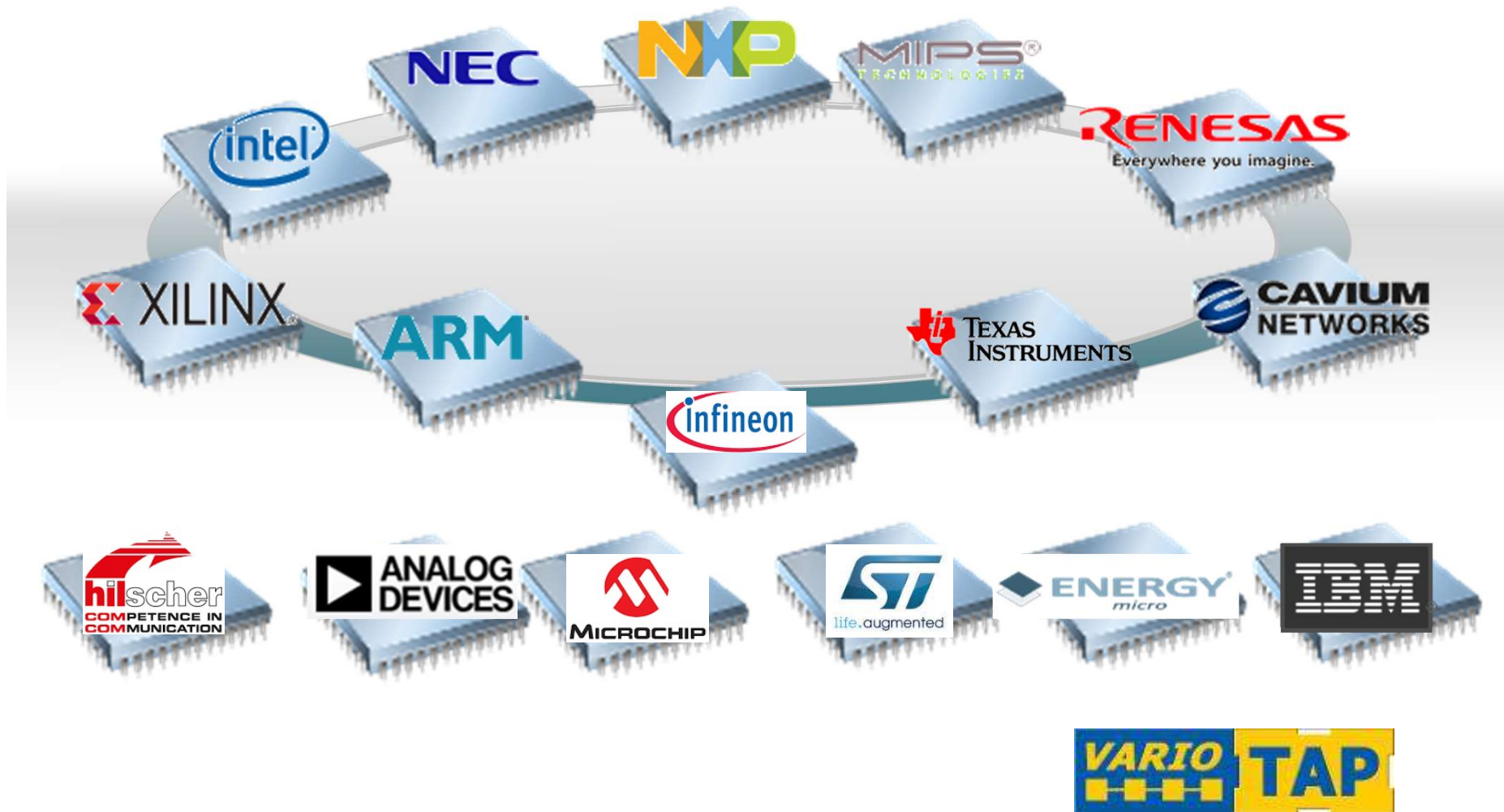
- Echtzeit RAM Test
- Lesen und Schreiben von Registern (z.B. Analog)
- Interne und Externe Flash Programmierung
- Test externer Bausteine



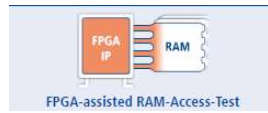
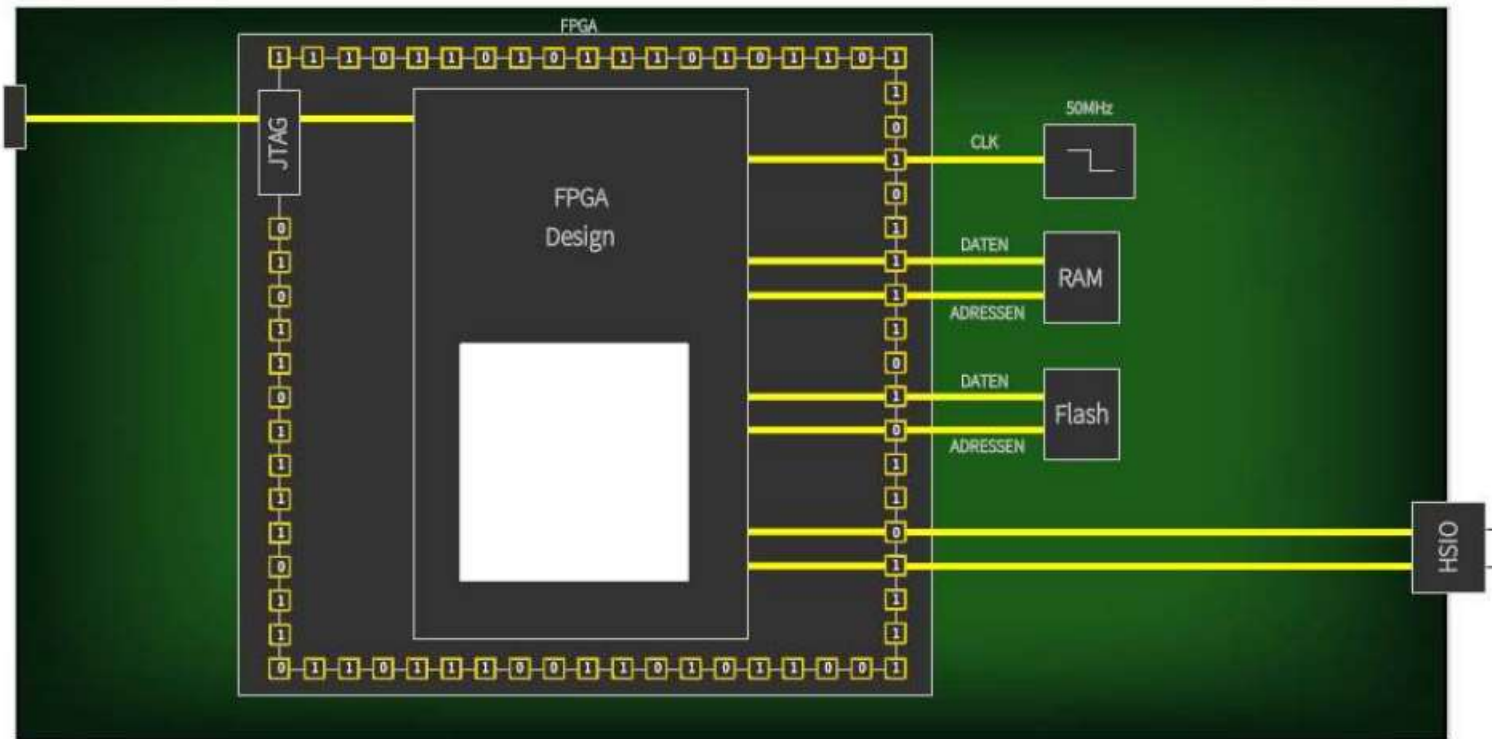


VarioTAP – Prozessor Emulation Test

Herstellerübergreifend einsetzbar



ChipVORX- FPGA-Assisted Test





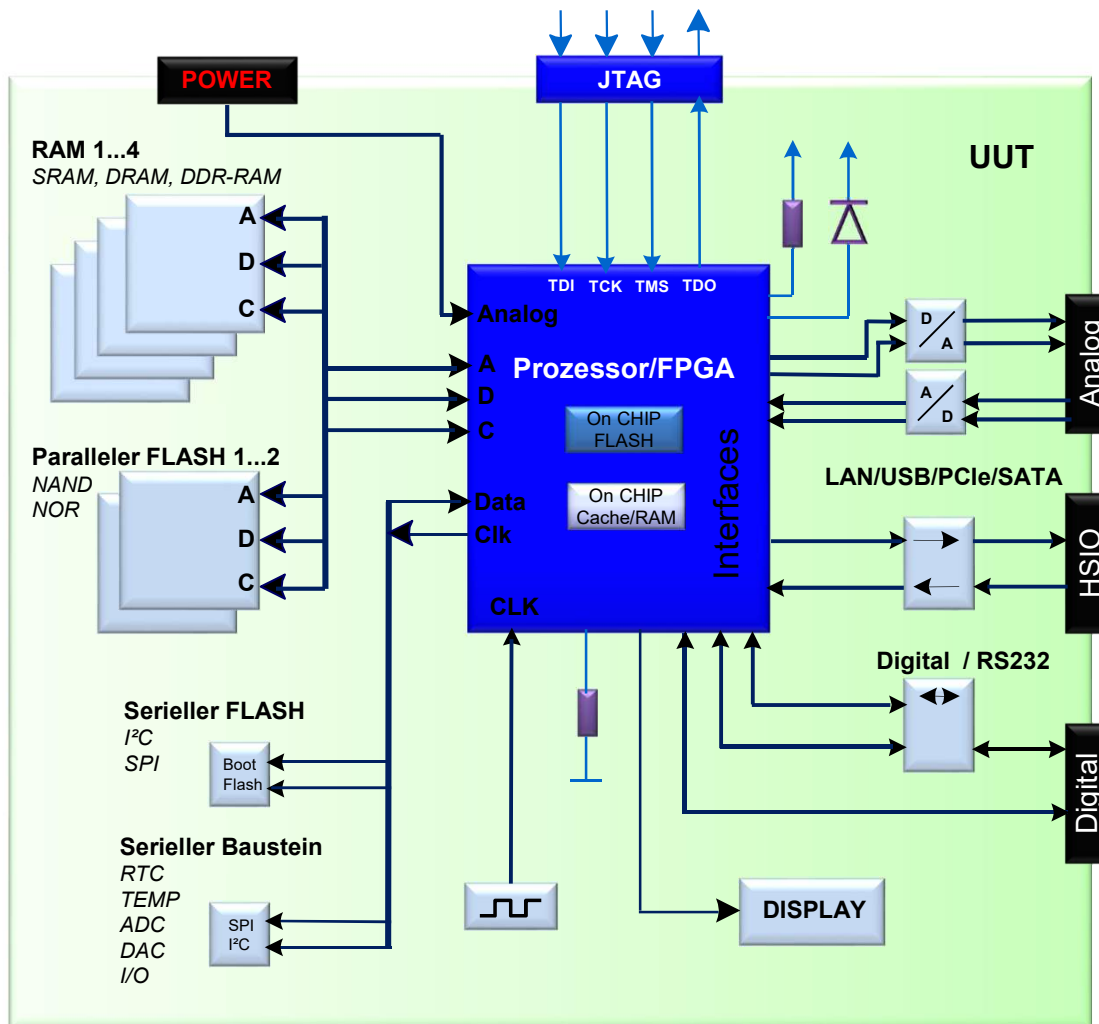
Embedded JTAG Solutions

Das System





Die Prüfaufgabe:

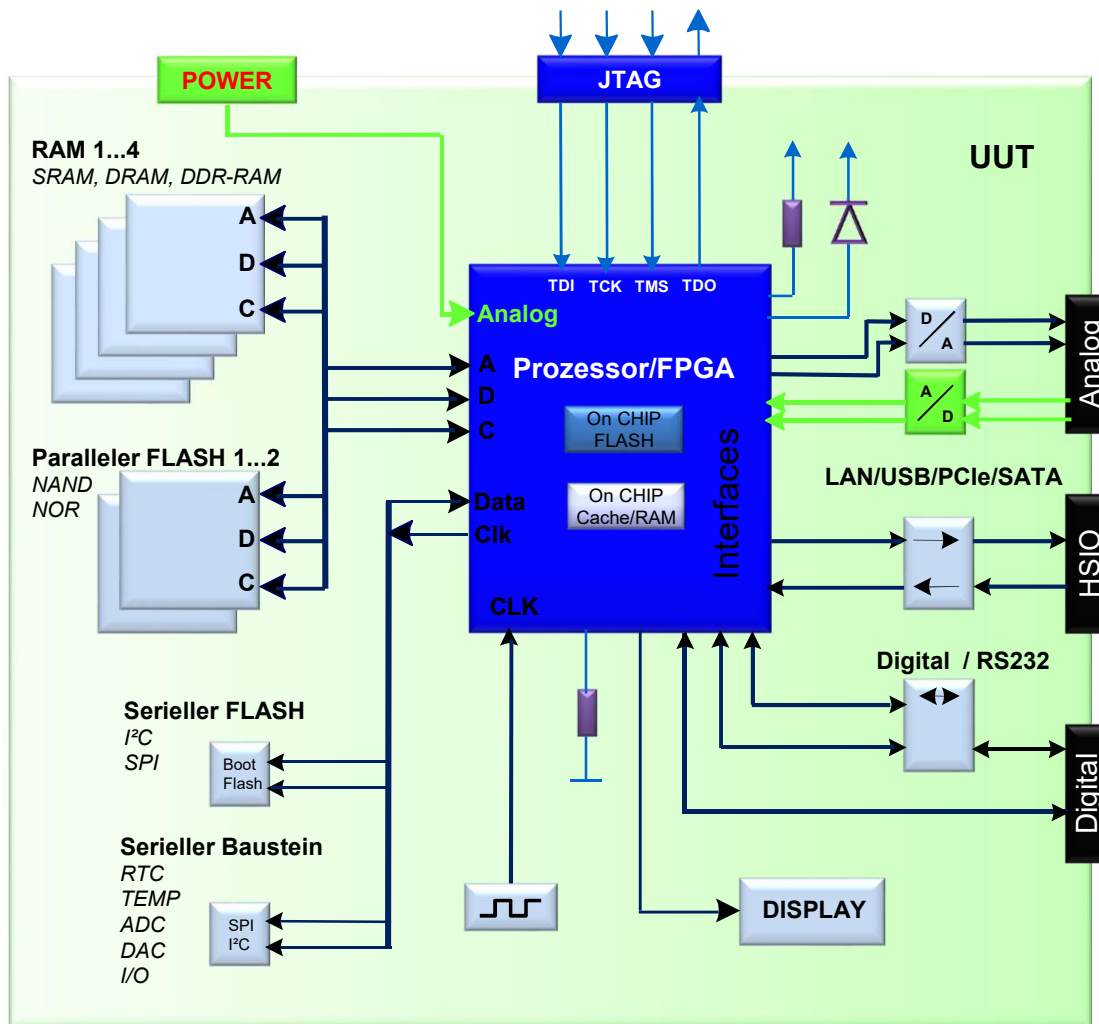


... und das ohne
Firmware und Nadeladapter?





Spannungen messen?



Steckeradaption mit passender Gegenstelle

Analog

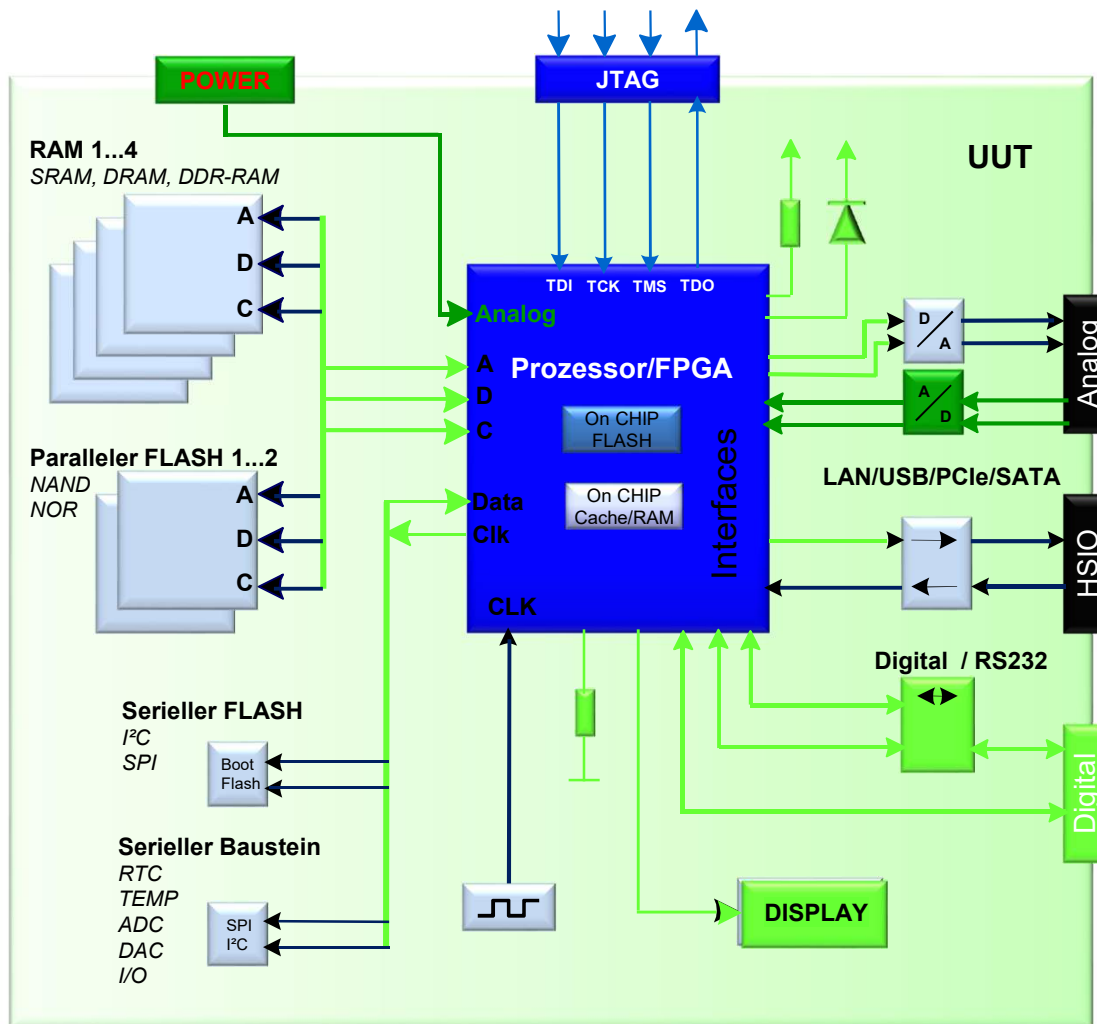


Test von:
Steckerverbinder
DC/DC Wandler
Analog Eingängen

Test über:
Lesen von Analogregistern(μ P)
Lesen von AD Wandler
Stimulation von Analog Werten



Verbindungstest?



Test von:
Steckerverbinder
Netz und Pin Verbindungen
Widerständen

Test über:
Treiben und Messen von Signalen
(Boundary Scan)

Steckeradaption
mit passender Gegenstelle



Dauer : ca. 100ms



Fehler im Verbindungstest



CASCON GALAXY 4.6.8c 1532 - [D:\UUTs\Support\2018\BOUNDARY SCAN COACH - EZSCAN_SV3\BOUNDARY SCAN COACH - EZSCAN_SV3.PCF]

File View Develop SCP Run Options Help

UUT: BOUNDARY SCAN COACH - EZSCAN_SV3
Iest: INTERCONNECTION_NO_U3
Batch: ALL_ST_Flash

Start Test Start Batch

FAIL

Serial Number

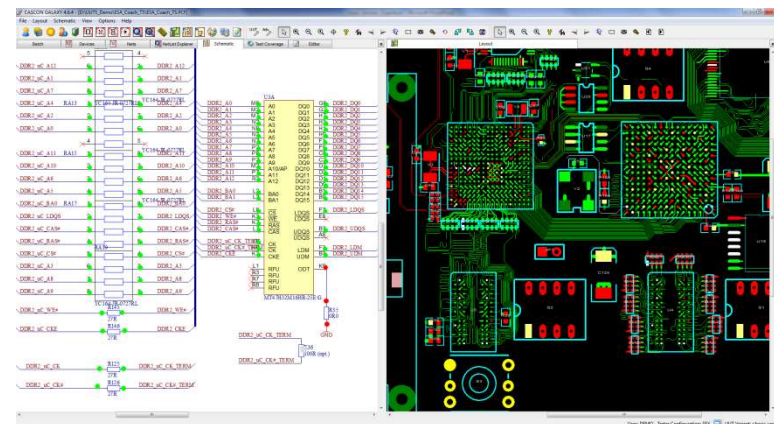
Batch | 03.07.2018 09:39:51 UUT: BOUNDARY SCAN COACH - EZSCAN_SV3 Start Test: INTERCONNECTION_NO_U3

Name	Exitcode
INTERCONNECTIO...	256

```
- 1- Leitung IO0 fehlerhaft:
-73- 1. Pin .: RN5:P4(#4)      {array   } 4X4k7      IOO
-73- 2. Pin .: XH5:P1(#1)     {connector} HEADER_10X2     IOO
-73- 3. Pin >: I/O U1:PB02_15(#64) {BScan   } XC9572XL_TQ100  IOO
-53- Pull Up-Widerstand nicht gefunden

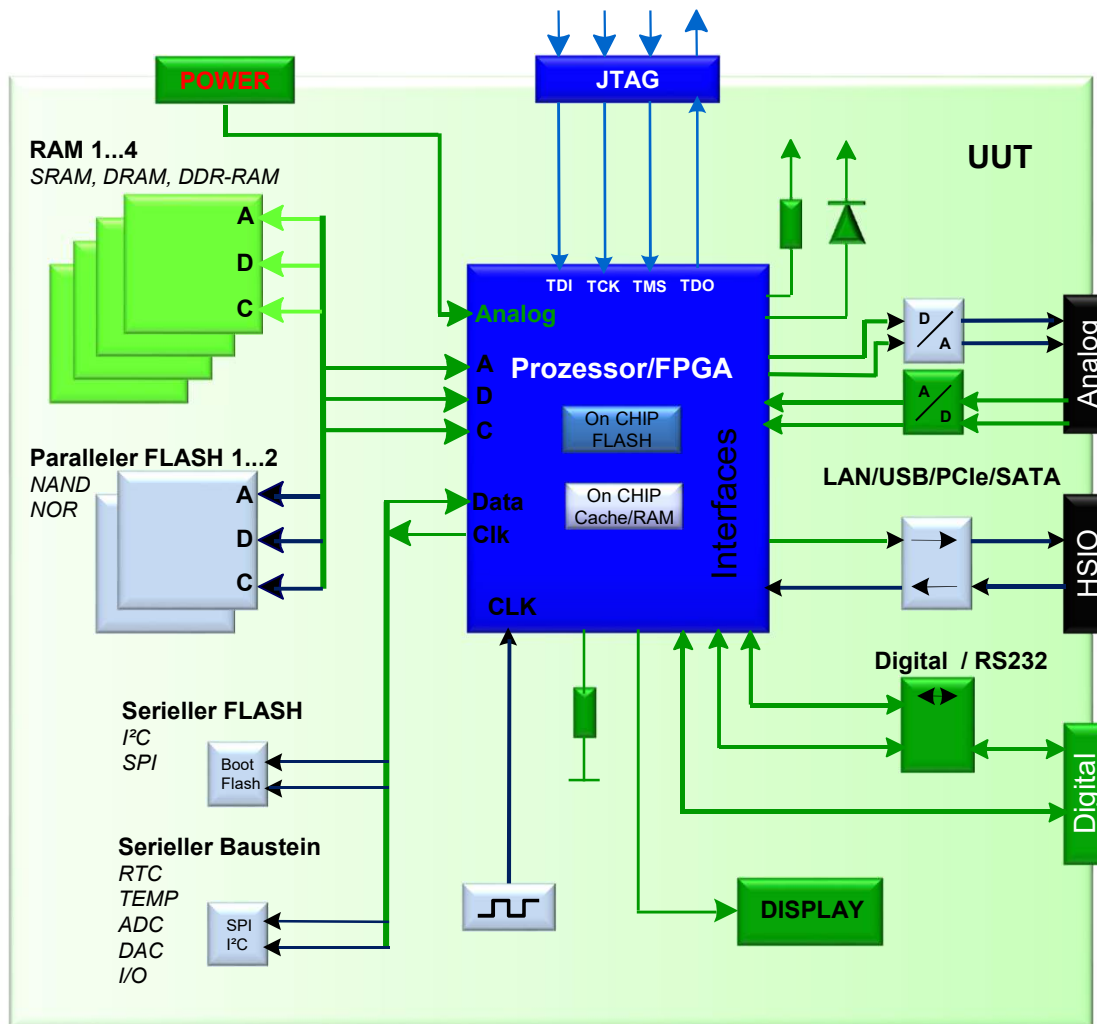
-24- Testschritttabelle der Leitung IO0:
-25- Soll                H H L H L H L L L L H H L H H H H L
-26- Ist (ohne SA Pins)  H H L>L L H L L L L H H L H H H H L
-30- Outputpin U1:PB02_15(#64) H H L - L H L L L L H H L H H H H L
-31- Inputpin  U1:PB02_15(#64) H H L>L L H L L L L H H L H H H H L

09:39:51 F A I L Elapsed Time 00:00:00.136
```





Speicher Test (RAM)?



Test von:
Ram - Verbindungen
Dynamischer Ram Test

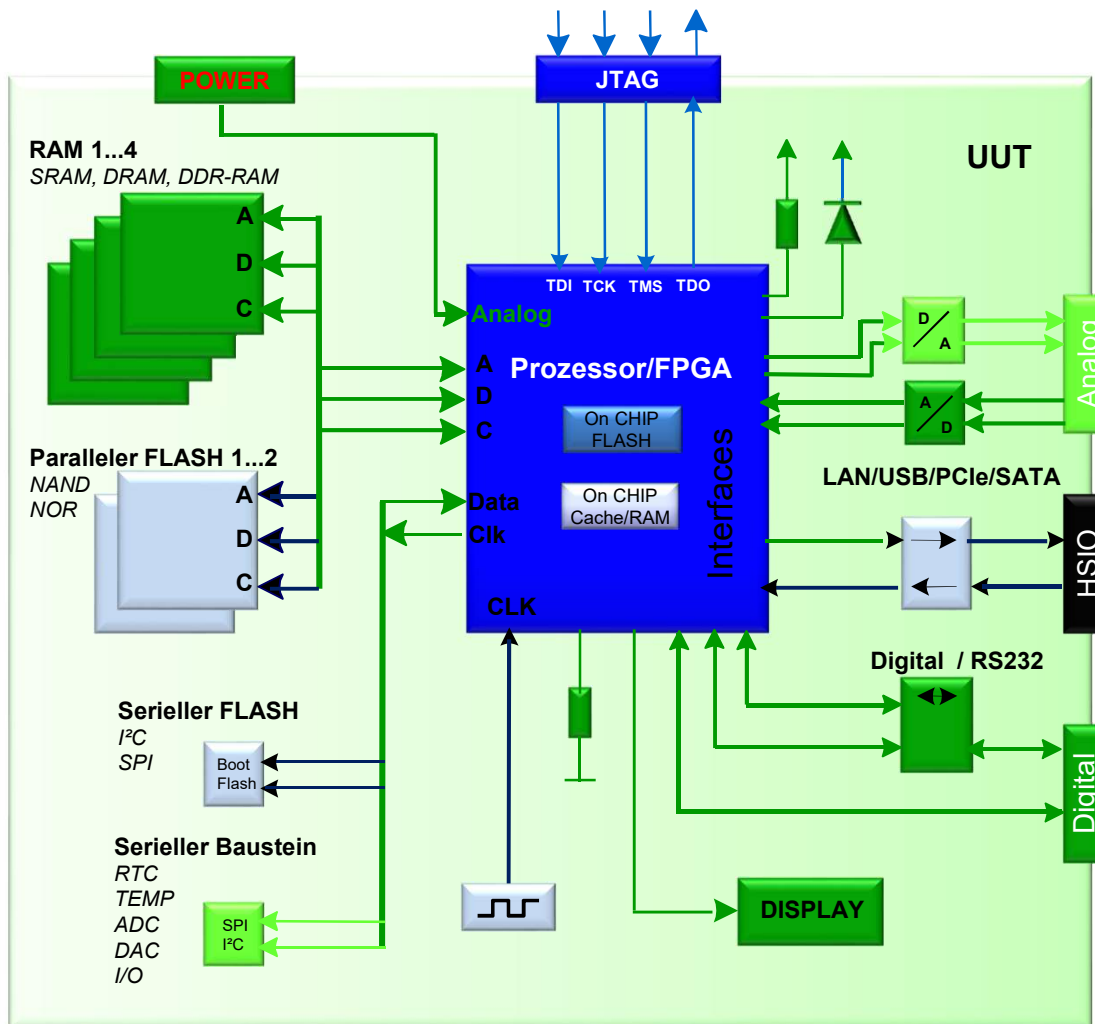
Test über:
Treiben und Messen von Signalen
(Boundary Scan).

Dynamischer RAM Test über
µP Emulation oder
FPGA-basierten - Test

Dauer : ca. 1 Sekunde



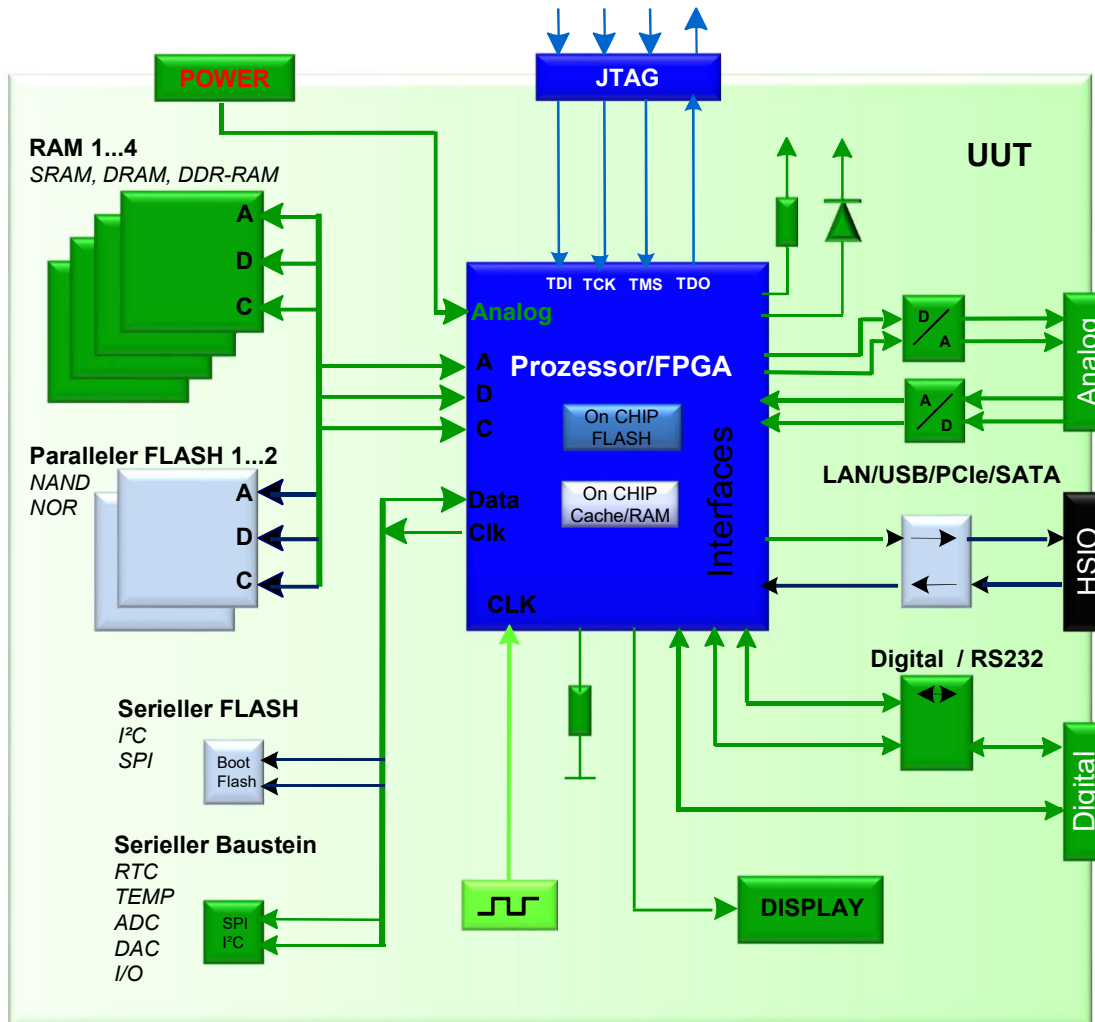
Funktionstest des ADC/RTC (serielle Bauteile)?



Test von:
I²C, SPI, MII Bauelementen

Test über:
Flash Zugriff über Boundary
Scan oder Prozessor Emulation

Frequenzmessung am Quarz?



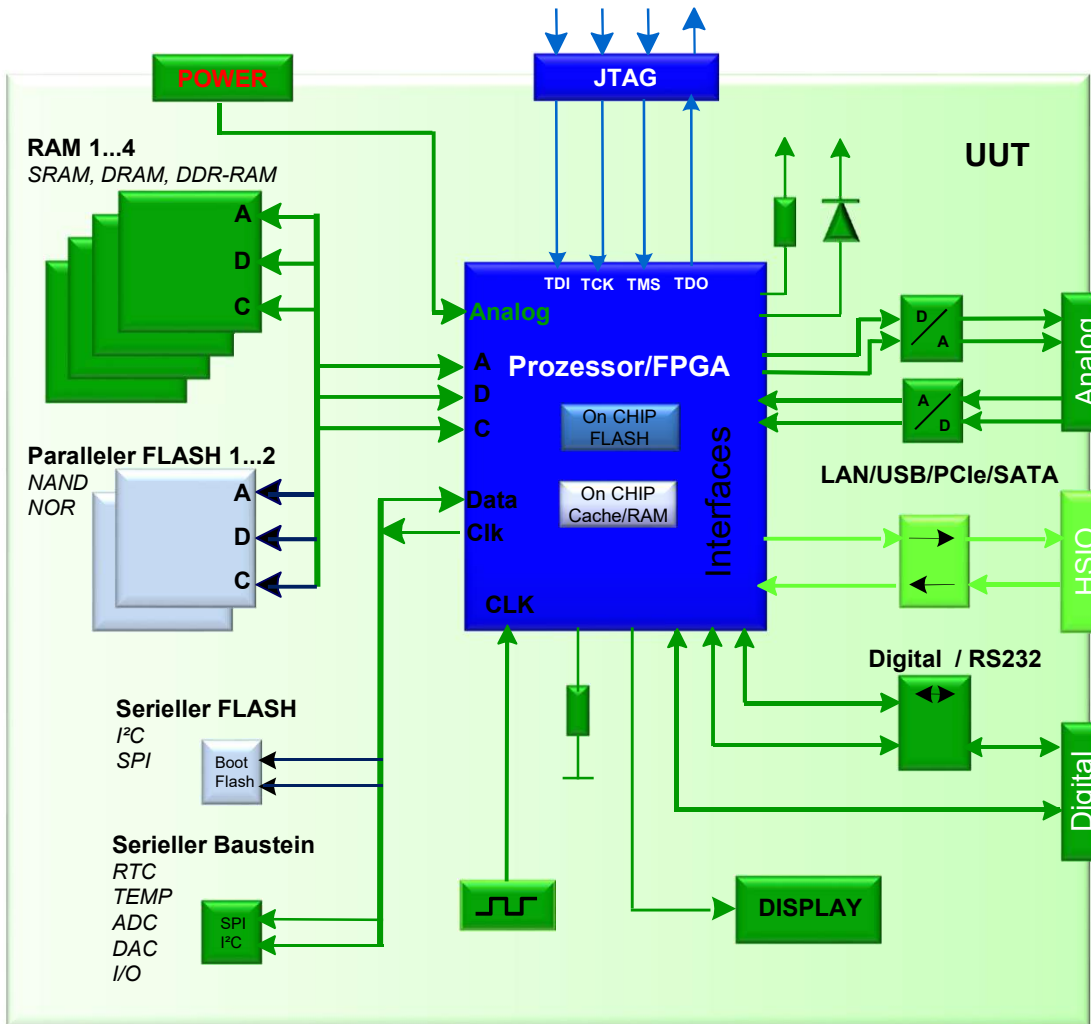
Test von:
Quarzbausteinen auf
Vorhandensein und Funktion

Test über:
Toggle Test über Boundary
Scan Zellen

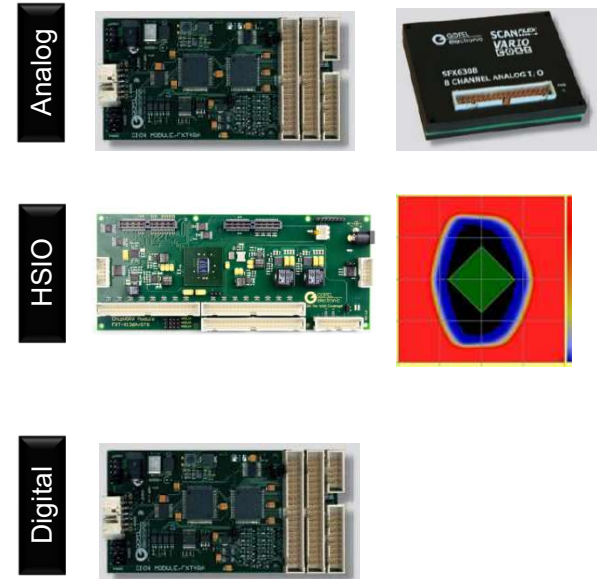
Frequenzmessung über FPGA



Schnittstellentest

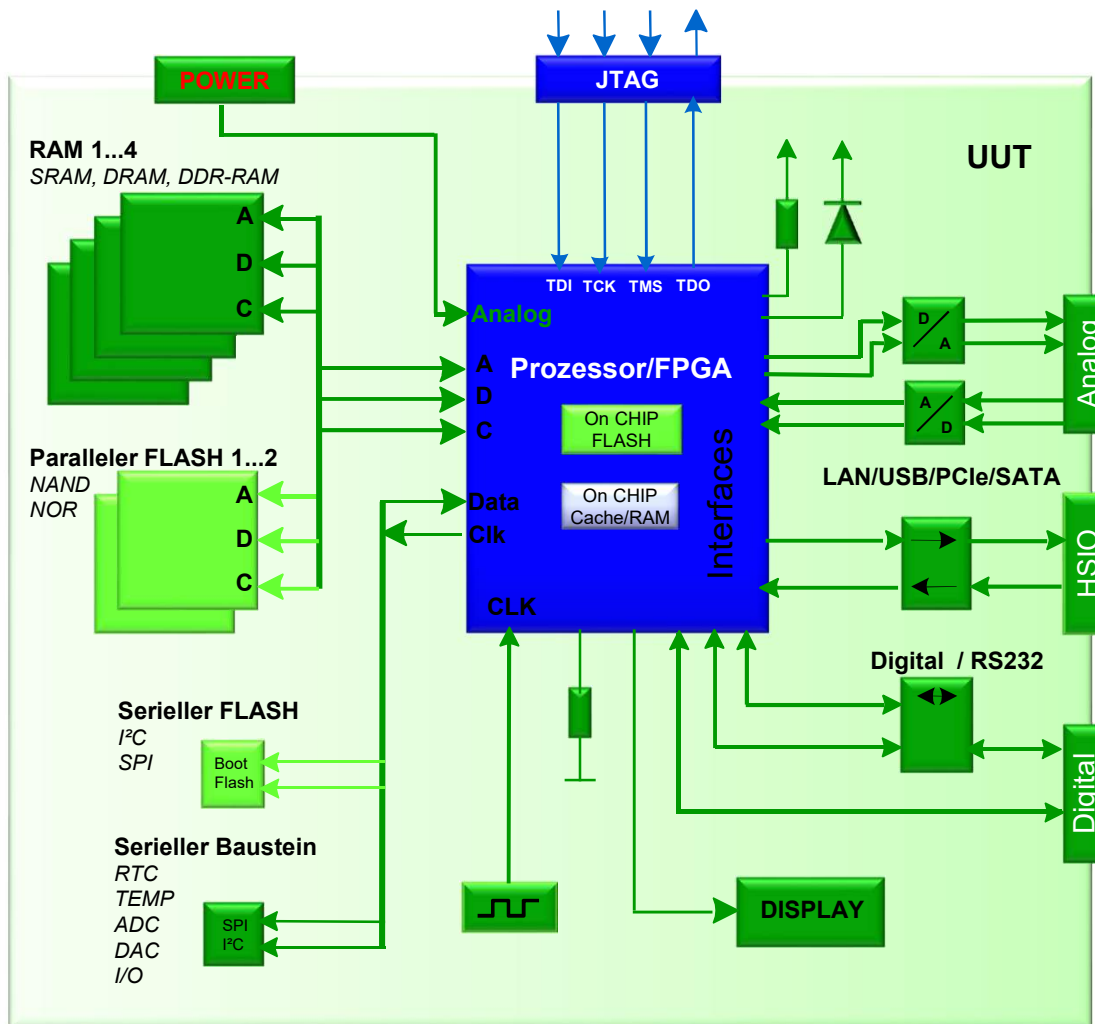


Steckeradaption mit passender Gegenstelle





Flash Programmierung (intern,extern)

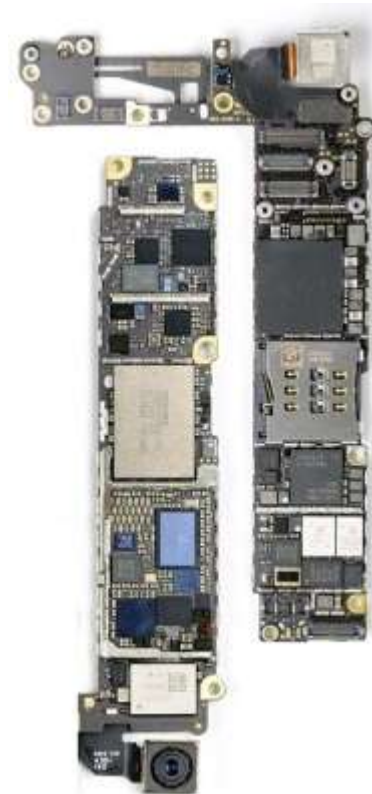
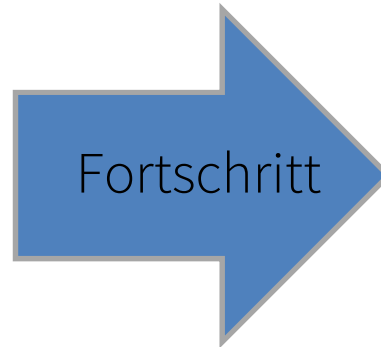
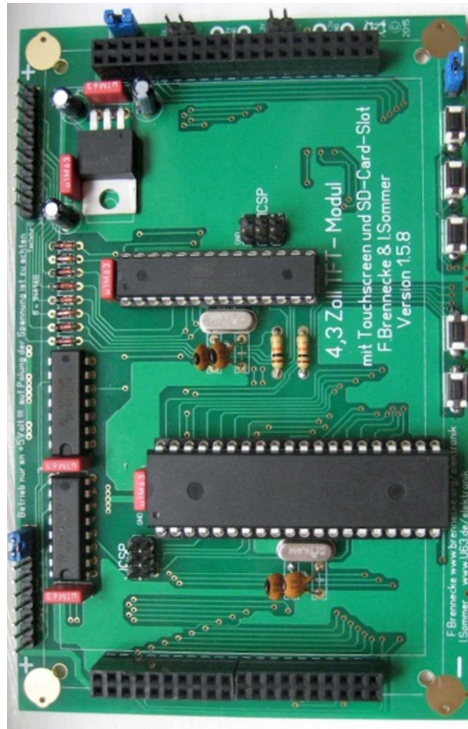


Programmierung von:
Parallelen Flash Bausteinen
Seriellen Flash Bausteinen
On-Chip Flashes

Programmierung über:
Boundary Scan Zellen
Kern Logik (Prozessor/FPGA)
JTAG Debug Port



Elektronik wandelt sich und stellt uns vor neue Herausforderungen



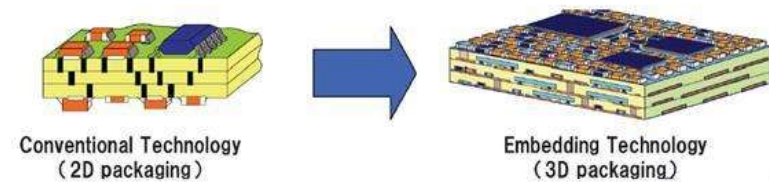
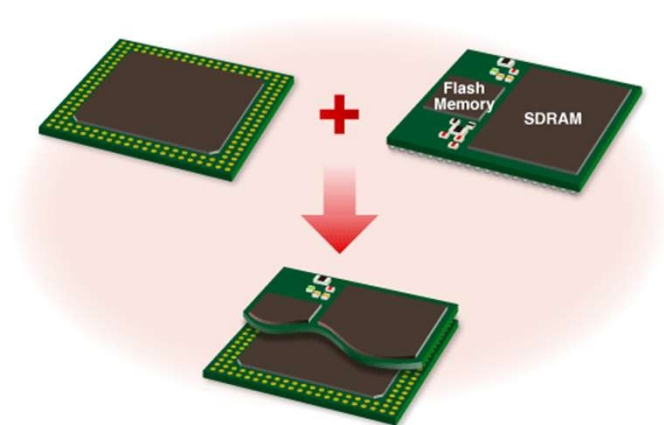
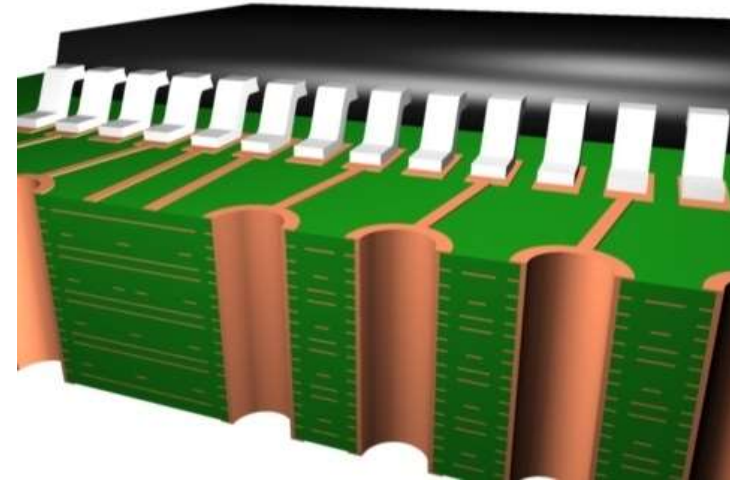
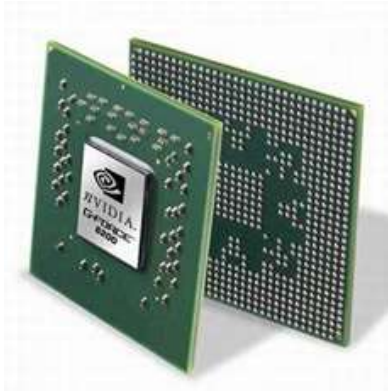
Quellen: markerfaire.berlin

phonearena.com





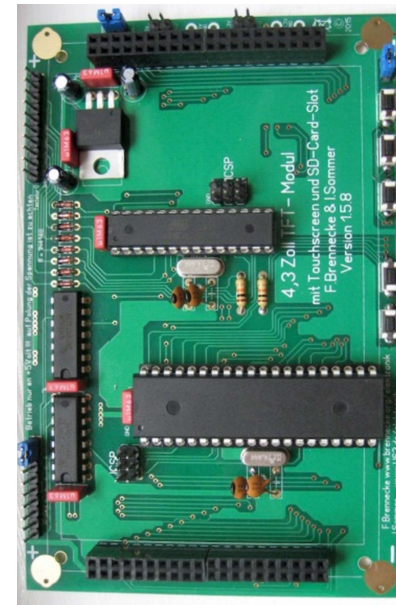
Moderne Baugruppen? Vollständige Testabdeckung? Eine Herausforderung für den Test!





Der Test ... von damals....

Ich sehe an jedem
Netz einen Testpunkt
vor!
Um den Test
kümmert sich die
Fertigung!



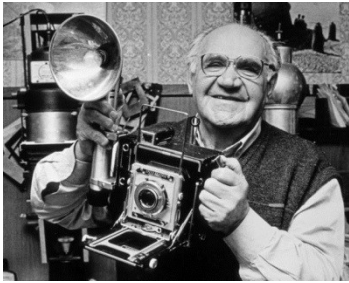
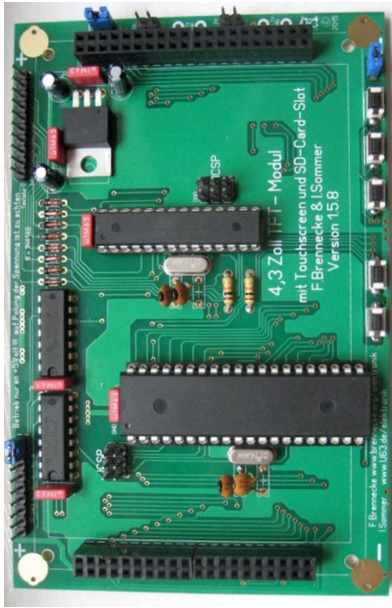
Quellen: markerfaire.berlin



Der Test ... von damals....



Testen?
Kein Problem!
Wir haben ja unser
AOI und den ICT!



AOI

ICT

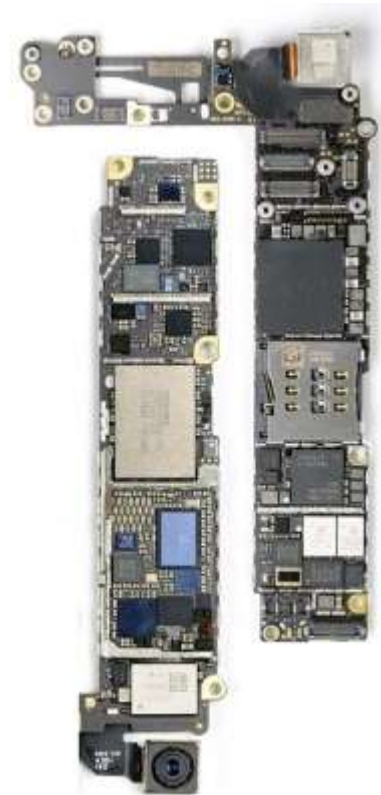
Quellen: markerfaire.berlin



Der Test ... von damals... bis heute!



Ich sehe da
Testpunkte vor wo
ich **Platz** habe!
Um den Test
kümmert sich die
Fertigung!



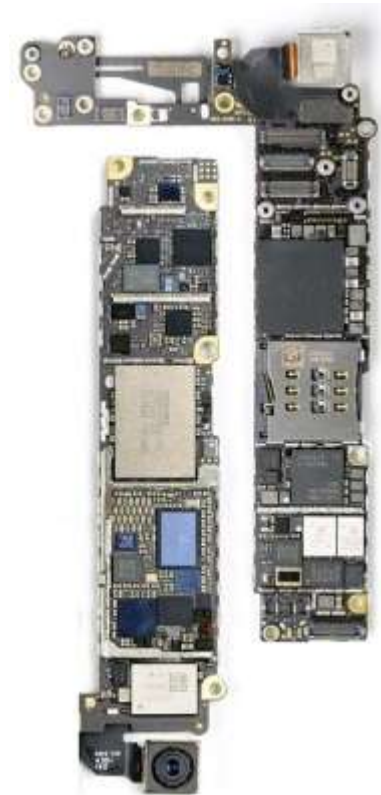
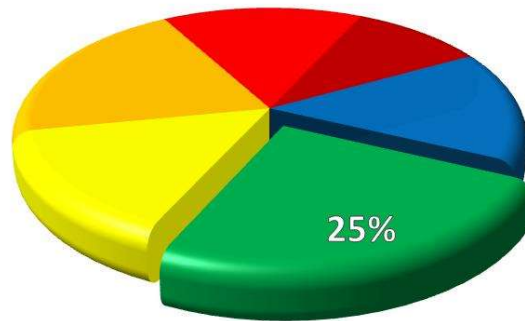
Quellen: phonearena.com





Der Test ... von damals... bis heute!

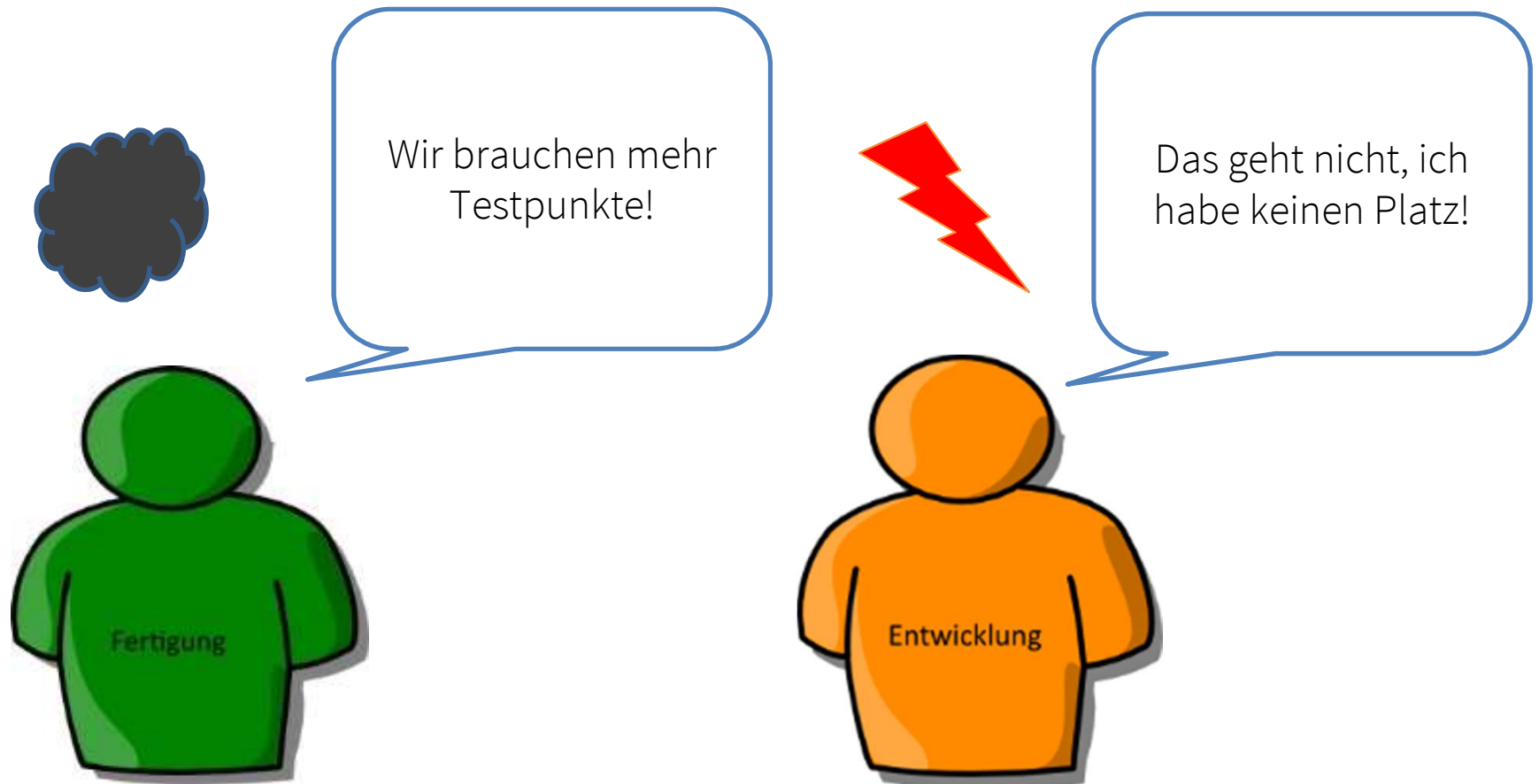
Testen?
EIN Problem!
Wir haben ja nur
unser AOI und den
ICT!



Quellen: pcs-campus.de



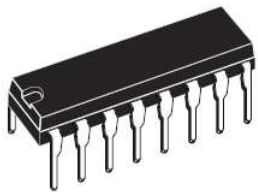
Der Test ... von damals... bis heute!



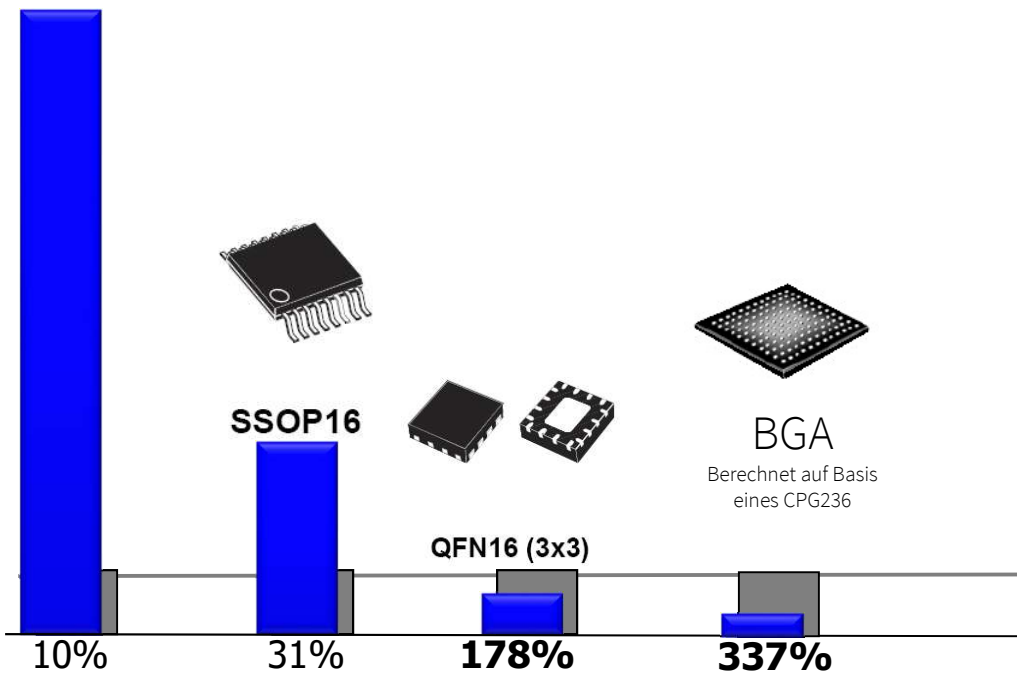
Quellen: pcs-campus.de





Elektrischer Test per Nadelzugriff?



DIP-16



 Gehäusefläche in mm²
 16mm² ≈ Fläche für 16 Testpunkte

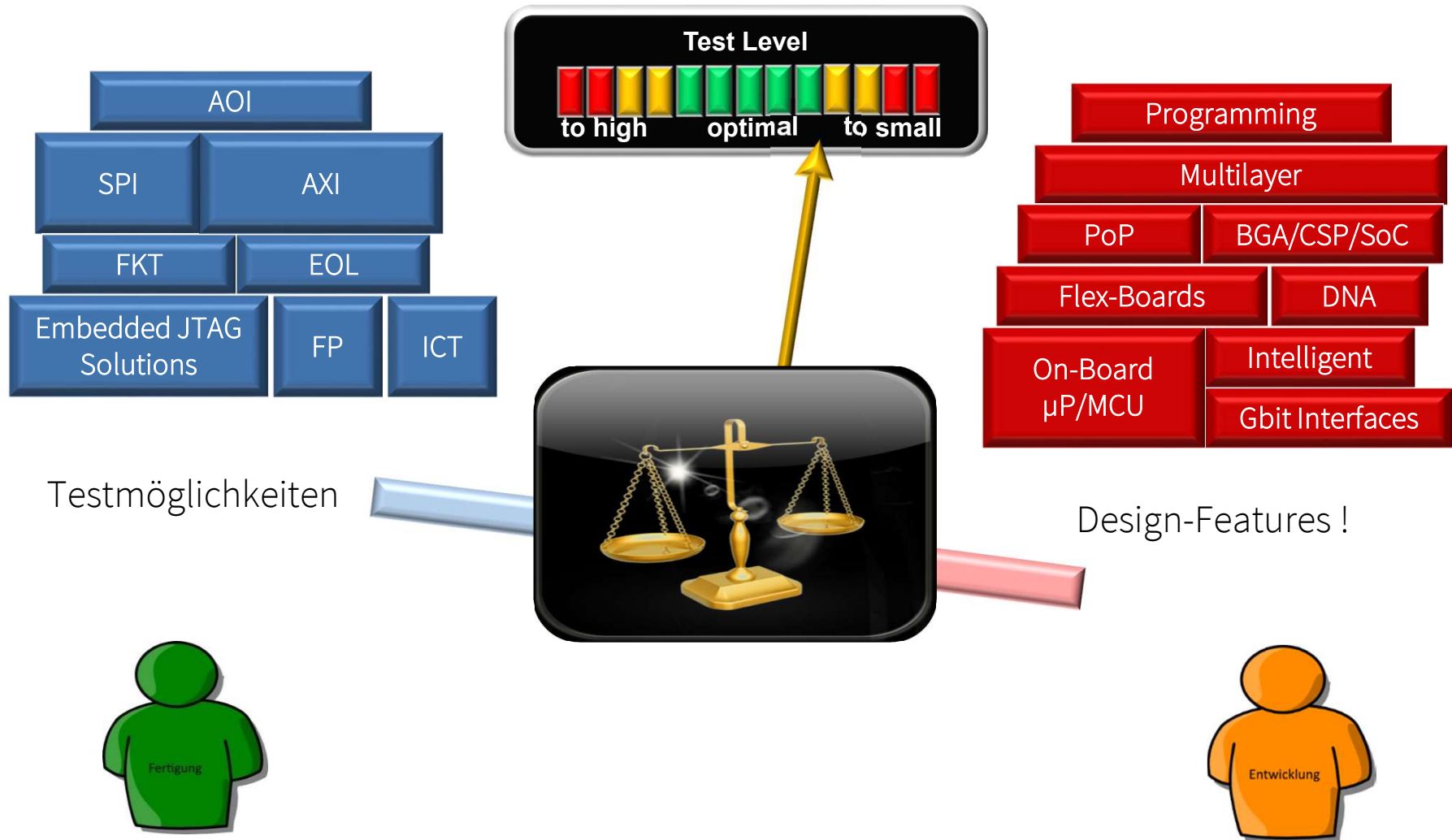


Fläche Testpunkte / Fläche Gehäuse in %





Wir müssen umdenken!



Wir müssen umdenken!



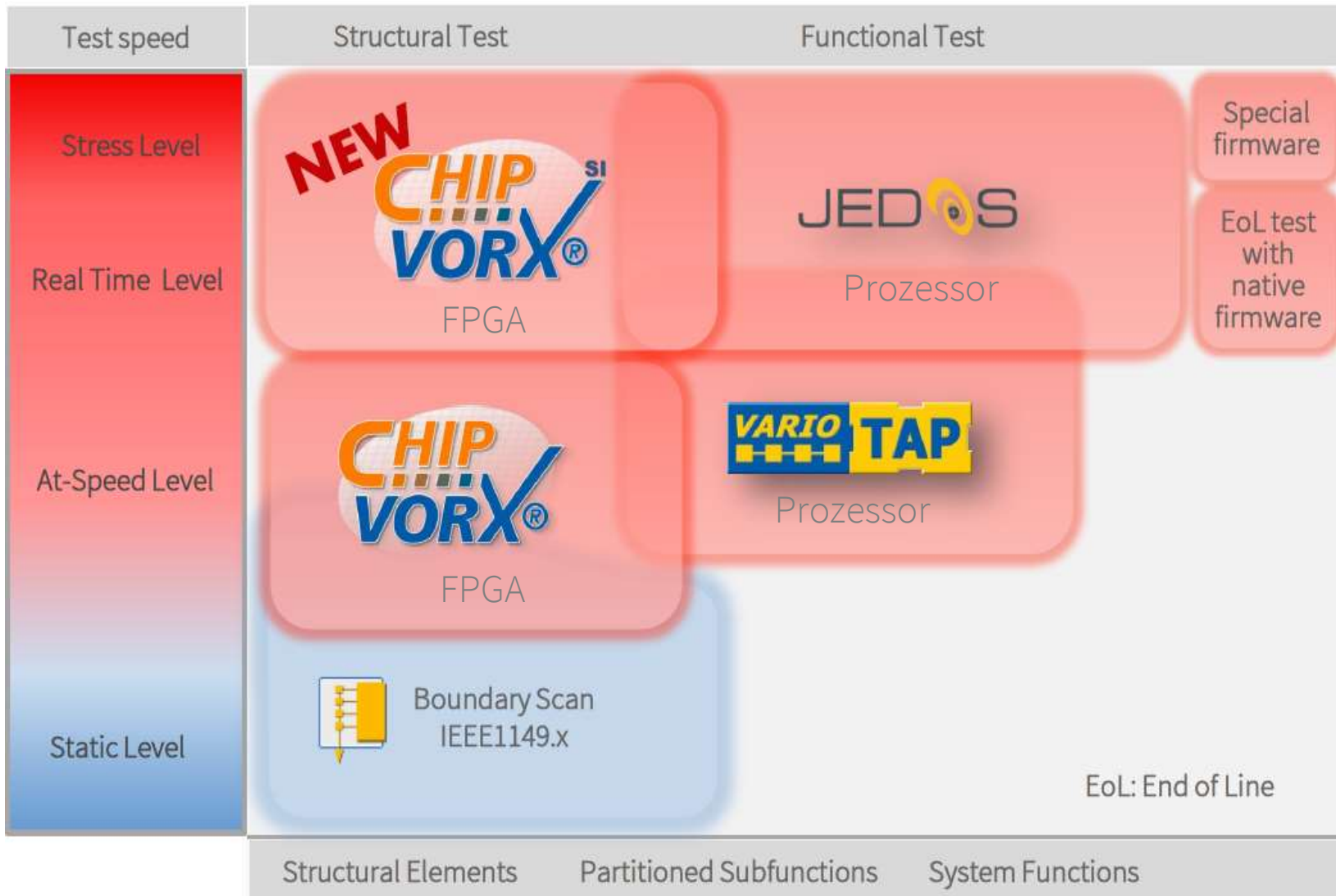
Wir müssen zusammen ein
Prüfkonzept entwickeln
und sinnvoll
Testmöglichkeiten
kombinieren!



Quellen: pcs-campus.de

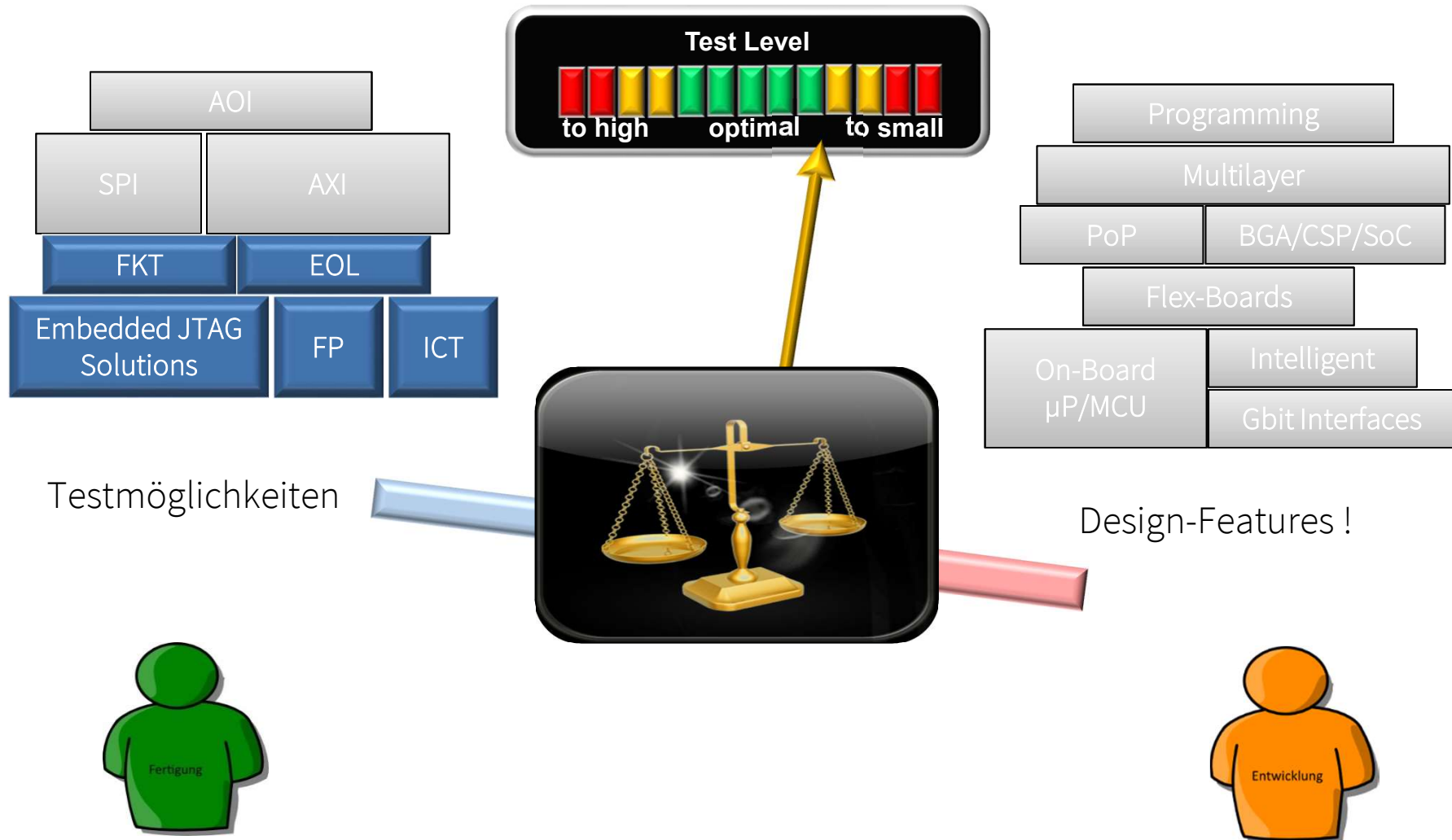


Embedded JTAG Solutions





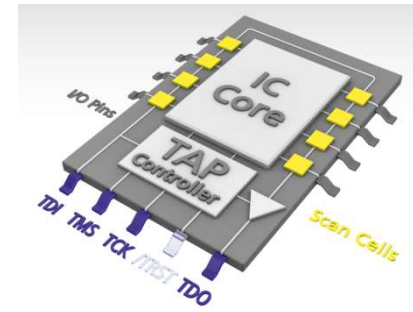
Elektrische Testmöglichkeiten



Elektrische Testmöglichkeiten

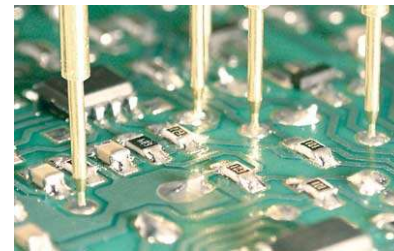


Embedded JTAG
Solutions



Flying Prober

In Circuit Test



Funktionstest

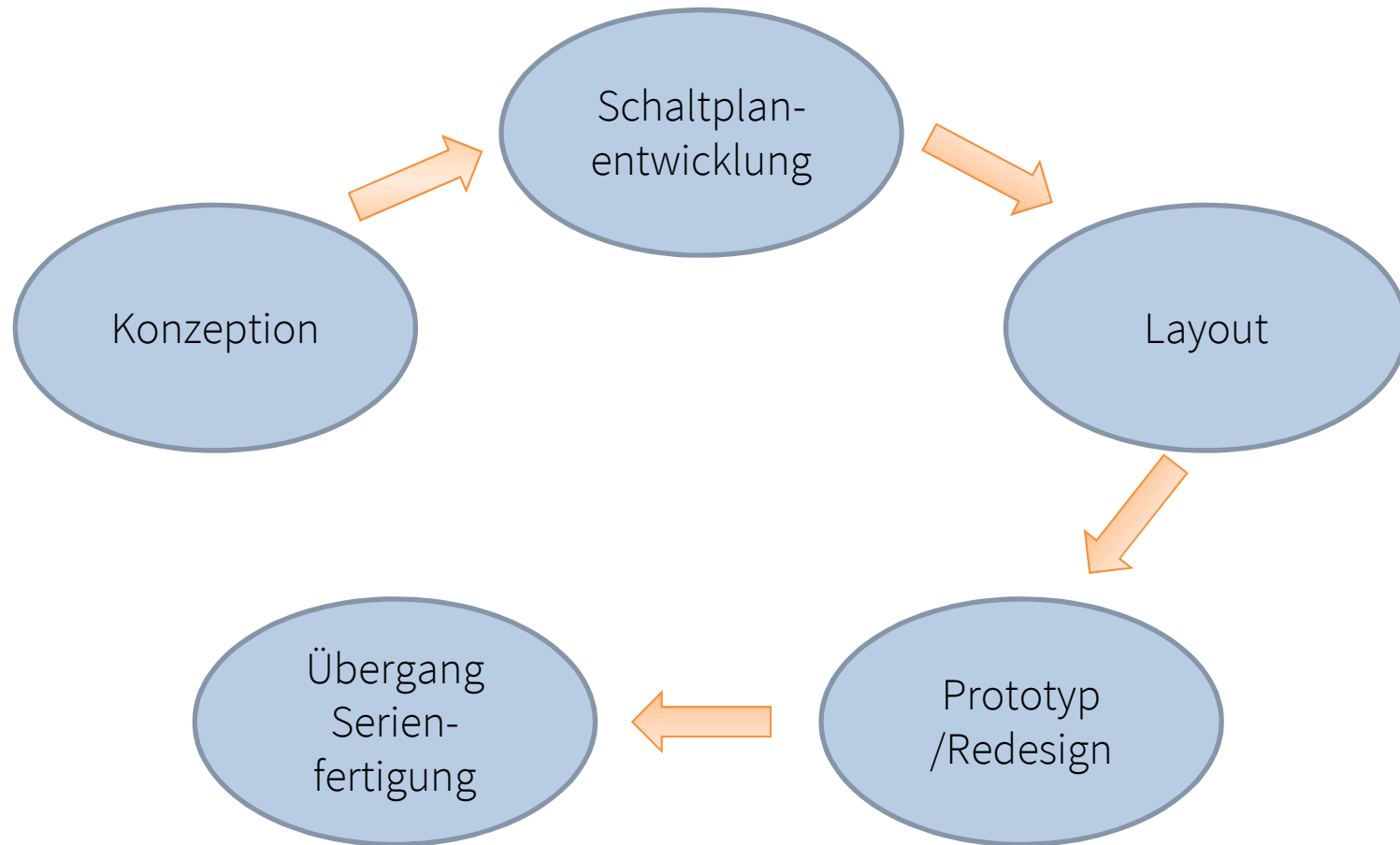
End Of Line Test





Schritte in der Elektronikentwicklung

Wo beginnt der Test



Der Test sollte ein fester Bestandteil der Produktionsentwicklung sein.





Schritte in der Elektronikentwicklung

Wo beginnt der Test



Konzeption

Idealerweise wird bereits bei der Konzeption über die Testmöglichkeiten nachgedacht!

- welche Möglichkeiten habe ich?
- welche Stückzahlen sind geplant?
- wie umfangreich muss ich testen?
- wie wichtig ist die Qualität?
- wann wird programmiert?



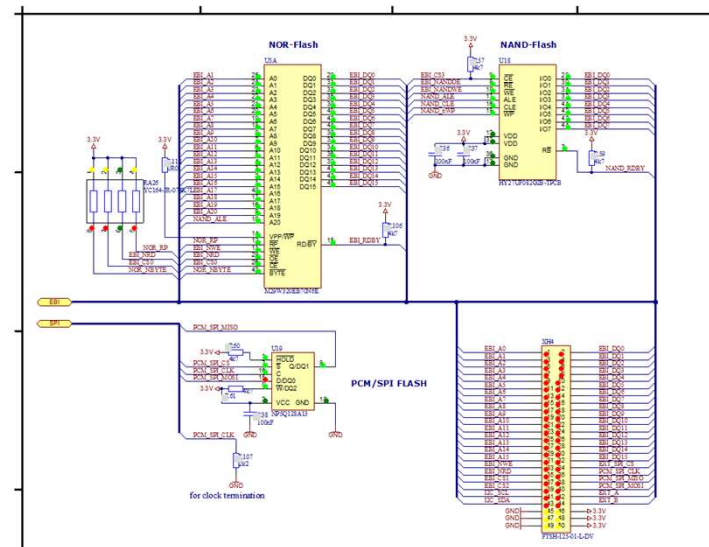


Schritte in der Elektronikentwicklung

Wo beginnt der Test

Schaltplan-entwicklung

Sobald der Schaltplan zu 95% fertig ist kann eine erste Testabdeckungsanalyse erfolgen.



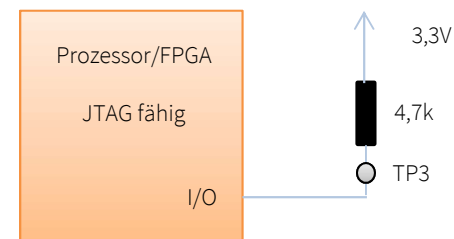
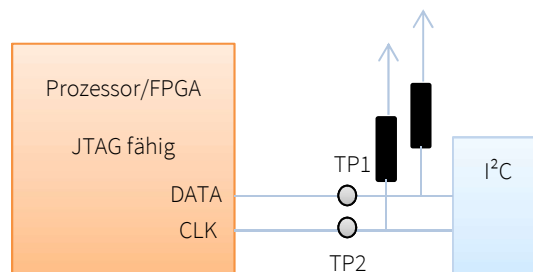


Schritte in der Elektronikentwicklung

Reduzierung von Testpunkten

Schaltplan-
entwicklung

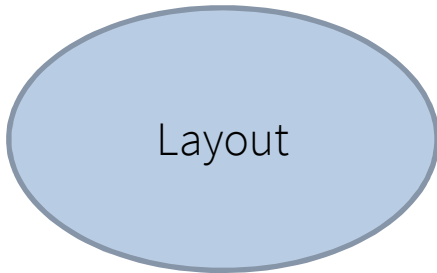
Wenn die erreichbare Testabdeckung bekannt ist, können Testpunkte effektiv gesetzt werden.



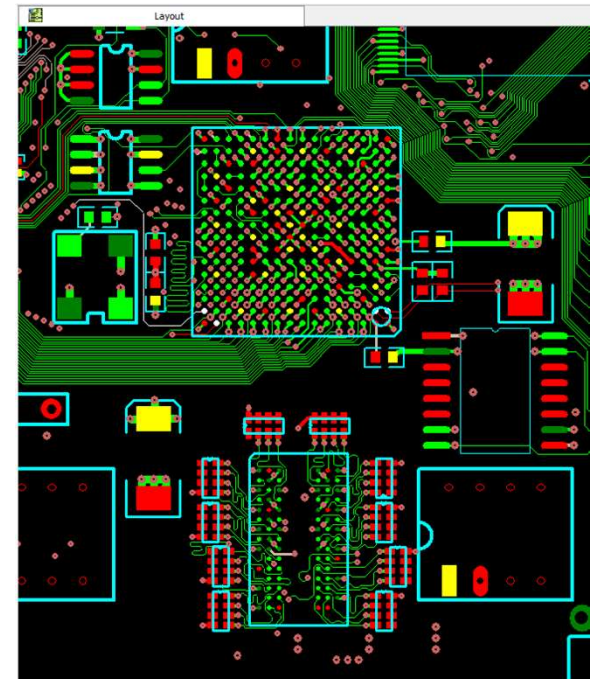


Schritte in der Elektronikentwicklung

Wo beginnt der Test



Eine weitere Analyse im Layout kann Testlücken aufzeigen.



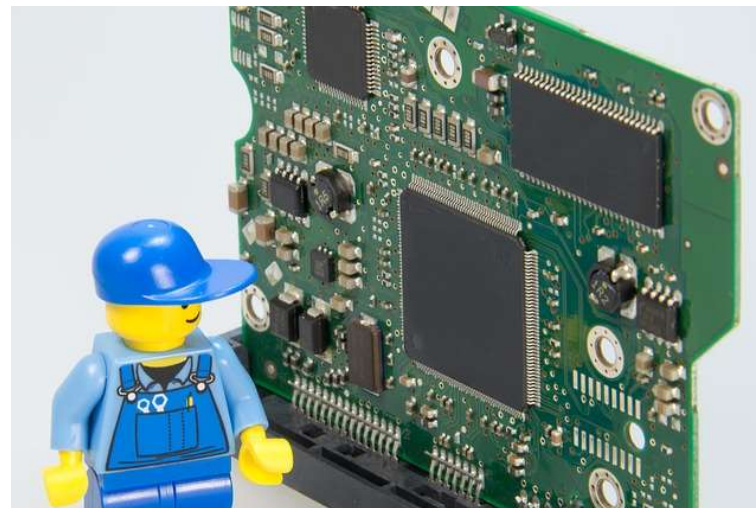


Schritte in der Elektronikentwicklung

Wo beginnt der Test

Prototyp
/Redesign

Ist einmal eine Testabdeckungsanalyse erstellt kann diese zur Verifizierung von Prototypen genutzt werden.



Quellen: pixabay.com



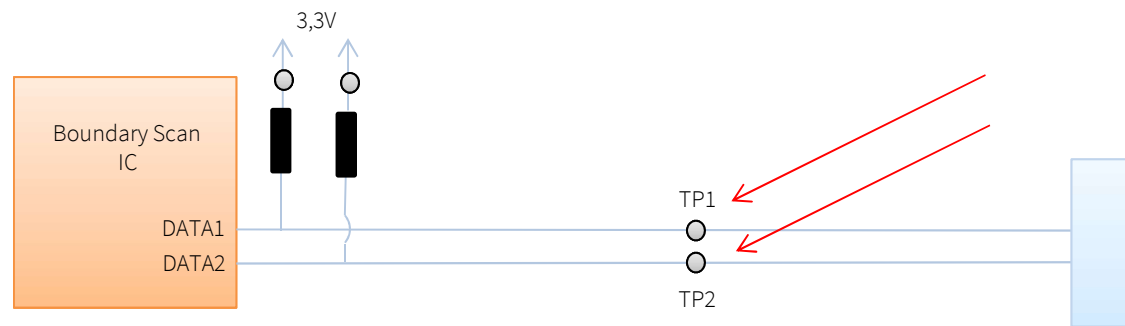


Schritte in der Elektronikentwicklung

Sinnvolle Kombination

Serien
fertigung

Test über Nadeln - sinnvoll



Quellen: pixabay.com



Schritte in der Elektronikentwicklung

Wir müssen Testverfahren sinnvoll kombinieren.



Durch frühzeitige Analysen und Erfahrungen können in der Serienproduktion kostengünstige und effektive Testverfahren eingesetzt werden. Idealerweise werden mehrere Testverfahren kombiniert.



Quellen: pixabay.com





Dipl.-Ing.(FH) Martin Borowski
m.borowski@goepel.com

0151/29 23 61 12

